

MASS-STORAGE APPLICATIONS OF LOCAL PROBE ARRAYS

Patent number: JP9511863T

Publication date: 1997-11-25

Inventor:

Applicant:

Classification:

- international: G01N37/00; G01N13/10; G11B9/00; G11B9/14; G11B19/02; G11B19/04; G11B27/32; G01N37/00; G01N13/10; G11B9/00; G11B19/02; G11B19/04; G11B27/32; (IPC1-7): G01N37/00; G11B9/00

- european: G11B9/00A; G11B19/02; G11B19/04; G11B27/32D; Y01N4/00; Y01N8/00

Application number: JP19950507389T 19950728

Priority number(s): WO1995IB00594 19950728

Also published as:



WO9705610 (A1)

EP0783748 (A1)

EP0783748 (A0)

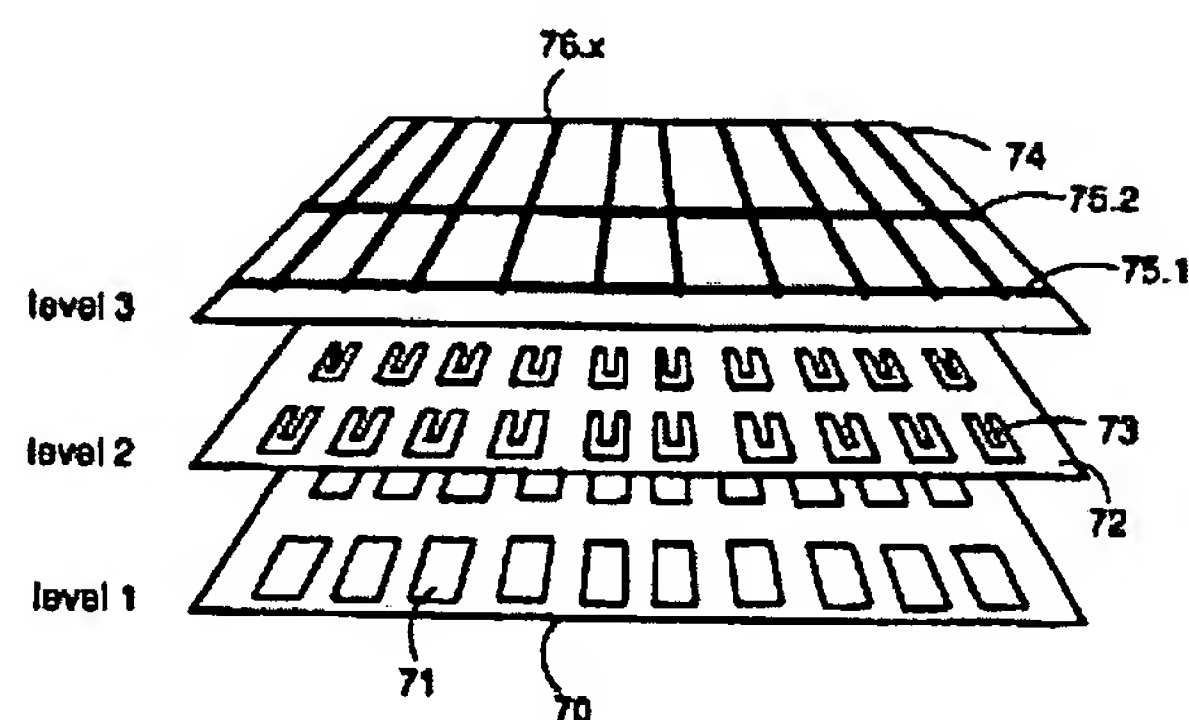
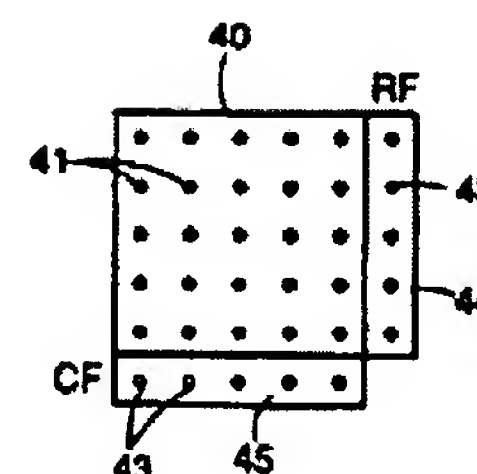
EP0783748 (B1)

Report a data error here

Abstract not available for JP9511863T

Abstract of correspondent: **WO9705610**

The present invention concerns a storage device comprising a local probe array (72) and a storage medium (70) with an array of storage fields (71). The local probe array (72) is situated opposite to said storage medium (70) such that each local probe (73) of the local probe array can be scanned over the corresponding storage field (31, 40, 71). The storage device further comprises means (RF, 44; CF, 45) for distinguishing between information (41) to be erased from a first section of the storage medium and information in this section which is not to be erased, means for selectively copying said information which is not to be erased into a memory, preferably another section (32) of said medium, and means for erasing the whole first section.



Data supplied from the esp@cenet database - Worldwide

Material for Information Disclosure Statement

Please file the following material for satisfying the duty of
Information Disclosure Statement.

1. Japanese Patent Kohyo No. Hei 9-511863
with its English claims

CLAIMS

[Claim(s)]

1. Storage Which Can Memorize Information in Form of Par TABESHON (12) (10), The local probe array which faced said storage (10) so that probe (14) might scan said storage (10) (20), The means for acquiring a signal from each of said probe, when scanning said par TABESHON top, Means for writing in par TABESHON on said storage It contains. Further The means for distinguishing the information which should be eliminated from the 1st section of said storage, and the information in this section which should not be eliminated, It is a means for copying desirably said information which should be eliminated and which does not come out to memory alternatively into other sections of said storage. Means for eliminating said 1st whole section Storage characterized by containing.
2. Means for [said] eliminating It is held by said local probe array. It is arranged so that the whole section of said storage can be eliminated at once. Storage given in the 1st term of a claim characterized by things.
3. Means for [said] eliminating It is positioned in said one storage side, and, on the other hand, said local probe array is positioned in the another side side of said storage. It is arranged so that the whole section of said storage can be eliminated at once. Storage given in the 1st term of a claim characterized by things.
4. For each of said cantilever, said local probe array (20) is storage given in the 1st term of a claim characterized by holding one or more local probes which are held from said storage at a fixed distance, or operate in contact mode including the single dimension array or 2-dimensional array of a cantilever.
5. Said local probe array or said storage is storage given in the 1st term of a claim characterized by being moved in a closed-loop mode so that each probe may scan the fixed section of said storage.
6. Said storage is storage given in the 1st term of a claim or the 5th term characterized by classifying each into two or more storage fields scanned by at least one corresponding local probe.
7. Storage given in the 1st term of claim characterized by including data control means to distinguish by analyzing pointer or flag which identifies said information which should be eliminated for information which should be eliminated from the 1st section of said storage, and information in this section which should be eliminated, and which does not come out.
8. Said data control means is storage given in the 7th term of a claim characterized by measuring the amount of the information which should be eliminated from the 1st storage field, and the amount of other storage fields, and determining which storage field should be eliminated first based on the predetermined Ruhr.
9. Said data control means is storage given in the 7th term of a claim characterized by using a traveling-salesman algorithm or a generating theory-algorithm.
10. For said storage, each storage field is storage given in the 7th term of a claim characterized by including the table on which the elimination pointer which points out the bit in a storage field which should be eliminated was held, including the flag which points out the bit in the storage field concerned which should be eliminated.
11. Said cantilever is storage given in the 4th term of a claim characterized by holding two or more probes so that the whole bit WORD may be written in on said storage, or so that it may be read in said storage.
12. Storage given in the 1st term of a claim characterized by including the actuator which produces the longitudinal direction scan migration of said storage about said local probe array, or longitudinal direction scan migration of said local probe array about said storage.
13. Storage given in the 1st term of a claim characterized by including the actuator which removes or flips said local probe array partially from the section in said storage which should be eliminated.
14. The board holding the address line for reading / write-in access to said probe is included. Said board is storage given in the 1st term of a claim characterized by being flipped on said local

probe array so that it may be electrically combined with the probe with which each of said address line corresponds.

15. Said board is storage given in the 14th term of a claim characterized by including reading / write-in circuit.

16. It is the storage of one publication of the 1st term of a claim which said storage is divided into two or more autonomous sub arrays, and is characterized by each of said sub array having a local probe array with the unrelated local probe array of the sub array which adjoins two or more storage fields thru/or the 15th term.

17. Said Storage is Thin Oxide Layer (15) Which Had Dielectric Layer (11. X) Covered. The semi-conductor substrate (10) covered as be alike is included. Said par TABESHON is created by adding bias in local with a probe so that the trap of the charge may be carried out in said storage. Storage of one publication of the 1st term of a claim characterized by things thru/or the 16th term.

18. Said probe is a conductive chip. When [which receives a chip and said semi-conductor substrate (10)] it reaches and an electrical potential difference is impressed between said tooth-back contacts, said storage includes said tooth-back contact so that a charge may be introduced into said storage. Storage given in the 17th term of a claim characterized by things.

19. Said storage is storage given in the 1st term of a claim characterized by generating par TABESHON by polarizing said ferroelectric ingredient in local with the electrical potential difference impressed to said probe including a ferroelectric ingredient.

20. Said par TABESHON is storage given in the 17th term of a claim characterized by being detected by the interaction of polarization of the electric field given to the probe and said par TABESHON.

21. an electrical potential difference or a current large enough in order that one section of said storage or par TABESHON of the whole storage field may operate other means for eliminating said probe or information in field emission mode -- said probe -- or -- said -- others -- storage given in the 19th term of a claim characterized by being eliminated by being impressed by the means.

22. Said storage is storage given in the 1st term of a claim characterized by including the ingredient which can form par TABESHON by heating in local.

23. Par TABESHON of the whole section is storage given in the 22nd term of a claim characterized by being removed by heating said whole section.

24. Said storage is storage given in an organic material and the 1st term of a claim desirably characterized by including a polymer, a wax, or liquid crystal.

25. Storage given in the 1st term of a claim characterized by including n storage sections assigned to each of m local probes and said m local probes (that is, including the storage section of a m*n individual).

26. Storage with which Information is Memorized in Form of Par TABESHON (12) (10), The local probe array which faced said storage (10) so that probe (14) might scan said storage (10) (20), The means for acquiring a signal from each of said probe, when scanning said par TABESHON top, Means for writing in par TABESHON on said storage It is made the approach for eliminating the information memorized by the included storage. The step which distinguishes between the information which should be eliminated from the 1st section of said storage, and the information in this section which should be eliminated, and which does not come out, It is the step which copies desirably said information which should be eliminated, and which does not come out to memory alternatively into other sections of said storage. Step which eliminates said 1st whole section Approach characterized by containing.

27. The information which should be eliminated from the 1st section of said storage, and the information in this section which should be eliminated and which does not come out are an approach given in the 26th term of a claim characterized by being distinguished by analyzing the pointer or flag which identifies said information which should be eliminated.

28. An approach given in the 26th term of a claim characterized by determining which storage field should be first eliminated by measuring with the amount of other storage fields the amount of the information which should be eliminated from the 1st storage field.

3/3
29. The information read in the storage field which should be eliminated is an approach given in the 26th term of a claim characterized by being compressed before being written in said storage.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-511863

(43) 公表日 平成9年(1997)11月25日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I
G 1 1 B 9/00		9075-5D	G 1 1 B 9/00
// G 0 1 N 37/00		0271-2J	G 0 1 N 37/00 A

審査請求 有 予備審査請求 未請求(全 41 頁)

(21) 出願番号 特願平9-507389
(86) (22) 出願日 平成7年(1995)7月28日
(85) 翻訳文提出日 平成9年(1997)3月26日
(86) 国際出願番号 PCT/IB95/00594
(87) 国際公開番号 WO97/05610
(87) 国際公開日 平成9年(1997)2月13日
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), JP, KR

(71) 出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション
アメリカ合衆国10504、ニューヨーク州アーモンク、オールド・オーチャード・ロード (番地なし)
(72) 発明者 ビニング、ゲルド カール
スイス国ボレロー、フェルゼンシュトラッセ 72
(72) 発明者 ローレル、ハインリッヒ
スイス国リヒターズヴィル、バッハテルシュトラッセ 27
(74) 代理人 弁理士 合田 潔 (外2名)

最終頁に続く

(54) 【発明の名称】 ローカル・プローブ・アレイの大容量記憶装置

(57) 【要約】

本発明はローカル・プローブ・アレイ (72) と記憶フィールド (71) のアレイを有する記憶媒体 (70) とを含む記憶装置に関する。ローカル・プローブ・アレイ (72) は、そのアレイにおける各ローカル・プローブ (73) が対応する記憶フィールド (71) 上を走査するように前記記憶媒体 (70) に対向して位置づけられる。記憶装置は、更に、記憶媒体の第1セクションから消去されるべき情報及びこのセクションにおける消去されるべきでない情報の間を区別するための手段、その消去されるべきでない情報をメモリ、望ましくは、記憶媒体の他のセクションに選択的にコピーするための手段、及び第1セクション全体を消去するための手段を含む。

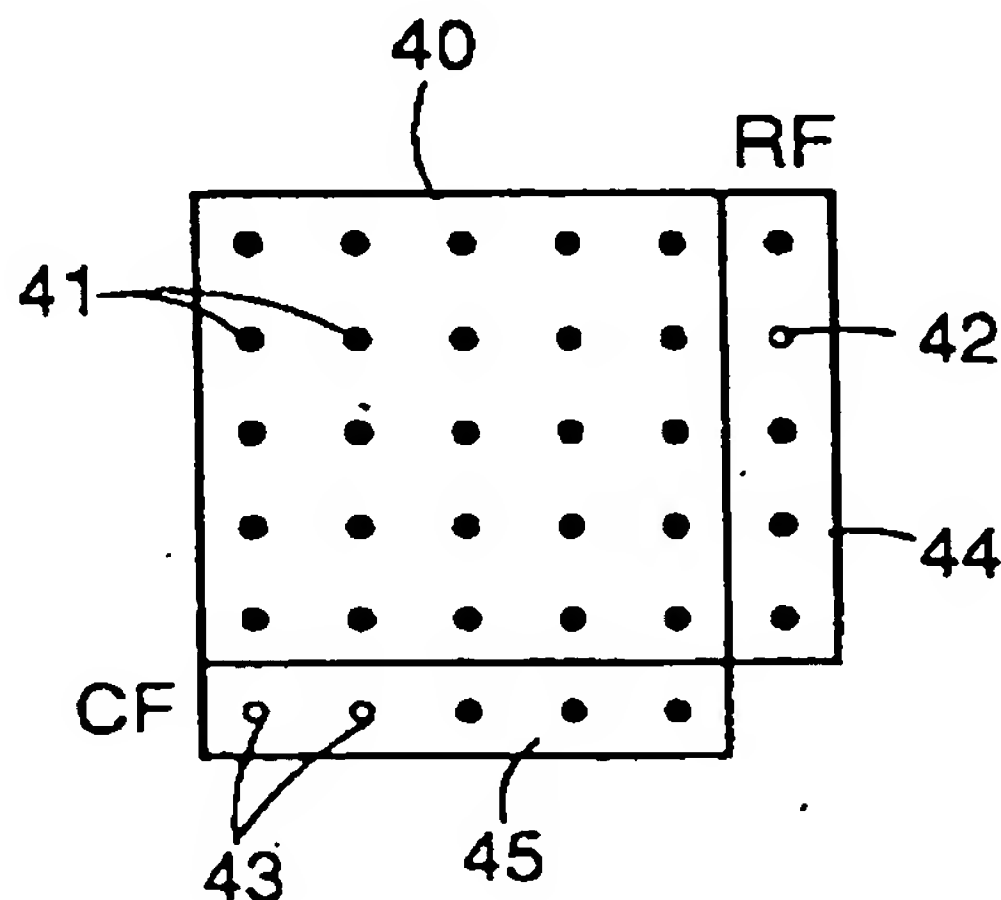


FIG. 4

【特許請求の範囲】

1. 情報をパーティション（12）の形で記憶し得る記憶媒体（10）と、
プローブ（14）が前記記憶媒体（10）を走査するように前記記憶媒体（10）に面したローカル・プローブ・アレイ（20）と、
前記パーティション上を走査する時、前記プローブの各々から信号を得るための手段と、
前記記憶媒体上にパーティションを書き込むための手段と、
を含み、更に、
前記記憶媒体の第1セクションから消去されるべき情報とこのセクションにおける消去されるべきでない情報とを区別するための手段と、
前記消去されるべきでない情報をメモリに、望ましくは、前記記憶媒体の他のセクションに、選択的にコピーするための手段と、
前記第1セクション全体を消去するための手段と、
を含むことを特徴とする記憶装置。
2. 前記消去するための手段は、
前記ローカル・プローブ・アレイによって保持され、
前記記憶媒体のセクション全体を一度に消去することができるように配列される

ことを特徴とする請求の範囲第1項に記載の記憶装置。
3. 前記消去するための手段は、
前記記憶媒体の一方の側に位置づけられ、一方、前記ローカル・プローブ・アレイは前記記憶媒体の他方の側に位置づけられ、
前記記憶媒体のセクション全体を一度に消去することができるように配列される

ことを特徴とする請求の範囲第1項に記載の記憶装置。
4. 前記ローカル・プローブ・アレイ（20）はカンチレバーの一次元アレイ又は二次元アレイを含み、前記カンチレバーの各々は、前記記憶媒体から一定の距離に保持されるか又は接触モードで動作する1つ又は複数のローカル・プローブ

を保持することを特徴とする請求の範囲第1項に記載の記憶装置。

5. 前記ローカル・プローブ・アレイ又は前記記憶媒体は、各プローブが前記記憶媒体の一定のセクションを走査するように閉ループ態様で動かされることを特徴とする請求の範囲第1項に記載の記憶装置。

6. 前記記憶媒体は、各々が少なくとも1つの対応するローカル・プローブによって走査される複数の記憶フィールドに区分されることを特徴とする請求の範囲第1項又は第5項に記載の記憶装置。

7. 前記記憶媒体の第1セクションから消去されるべき情報とこのセクションにおける消去されるべきでない情報とを、

前記消去されるべき情報を識別するポインタ又はフラッグを分析することによって区別するデータ管理手段を含むことを特徴とする請求の範囲第1項に記載の記憶装置。

8. 前記データ管理手段は第1記憶フィールドから消去されるべき情報の量と他の記憶フィールドの量とを比較して、どの記憶フィールドが最初に消去されるべきかを所定のルールに基づいて決定することを特徴とする請求の範囲第7項に記載の記憶装置。

9. 前記データ管理手段は巡回セールスマン・アルゴリズム又は発生論的アルゴリズムを使用することを特徴とする請求の範囲第7項に記載の記憶装置。

10. 各記憶フィールドは当該記憶フィールドにおける消去されるべきビットを指すフラッグを含むか、或いは前記記憶媒体は記憶フィールドにおける消去されるべきビットを指す消去ポインタが保持されたテーブルを含むことを特徴とする請求の範囲第7項に記載の記憶装置。

11. 前記カンチレバーは、ビット・ワード全体が前記記憶媒体上に書き込まれるように或いは前記記憶媒体から読み取られるように複数のプローブを保持することを特徴とする請求の範囲第4項に記載の記憶装置。

12. 前記ローカル・プローブ・アレイに関する前記記憶媒体の横方向走査移動又は前記記憶媒体に関する前記ローカル・プローブ・アレイの横方向走査移動を生じさせるアクチュエータを含むことを特徴とする請求の範囲第1項に記載の記

憶装置。

13. 前記記憶媒体における消去されるべきセクションから前記ローカル・プローブ・アレイを部分的に除去又はフリップするアクチュエータを含むことを特徴とする請求の範囲第1項に記載の記憶装置。

14. 前記プローブへの読取／書込アクセスのためのアドレス・ラインを保持したボードを含み、

前記ボードは前記アドレス・ラインの各々が対応するプローブに電氣的に結合されるように前記ローカル・プローブ・アレイ上にフリップされることを特徴とする請求の範囲第1項に記載の記憶装置。

15. 前記ボードは読取／書込回路を含むことを特徴とする請求の範囲第14項に記載の記憶装置。

16. 前記記憶媒体は複数の自律サブ・アレイに分けられ、前記サブ・アレイの各々は複数の記憶フィールドと隣接するサブ・アレイのローカル・プローブ・アレイとは無関係のローカル・プローブ・アレイとを有することを特徴とする請求の範囲第1項乃至第15項の1つに記載の記憶装置。

17. 前記記憶媒体は誘電体層(11.x)を被覆された薄い酸化物層(15)によって覆われた半導体基板(10)を含み、

前記パーティションは前記記憶媒体において電荷がトラップされるようにプローブによってバイアスをローカル的に加えることにより作成される

ことを特徴とする請求の範囲第1項乃至第16項の1つに記載の記憶装置。

18. 前記プローブは導電性チップであり、

前記記憶媒体は、チップと前記半導体基板(10)に対する及び前記背面接点の間に電圧が印加された場合、電荷が前記記憶媒体に導入されるように前記背面接点を含む

ことを特徴とする請求の範囲第17項に記載の記憶装置。

19. 前記記憶媒体は強誘電体材料を含み、前記プローブに印加された電圧によって前記強誘電体材料をローカル的に分極することによりパーティションが発生されることを特徴とする請求の範囲第1項に記載の記憶装置。

20. 前記パータベーションはプローブに与えられた電界及び前記パータベーションの分極の相互作用によって検出されることを特徴とする請求の範囲第17項に記載の記憶装置。

21. 前記記憶媒体の1つのセクション又は記憶フィールド全体のパータベーションは、前記プローブ又は情報を消去するための他の手段を電界放出モードで動作させるために、十分に大きい電圧又は電流を前記プローブ又は前記他の手段に印加することによって消去されることを特徴とする請求の範囲第19項に記載の記憶装置。

22. 前記記憶媒体は、ローカル的に加熱することによってパータベーションを形成することができる材料を含むことを特徴とする請求の範囲第1項に記載の記憶装置。

23. セクション全体のパータベーションは、前記セクショ

ン全体を加熱することによって除去されることを特徴とする請求の範囲第22項に記載の記憶装置。

24. 前記記憶媒体は有機材料、望ましくは、ポリマ又はワックス、或いは液晶を含むことを特徴とする請求の範囲第1項に記載の記憶装置。

25. m 個のローカル・プローブ及び前記 m 個のローカル・プローブの各々に割り当てられた n 個の記憶セクションを含むこと（即ち、 $m * n$ 個の記憶セクションを含むこと）を特徴とする請求の範囲第1項に記載の記憶装置。

26. 情報がパータベーション（12）の形で記憶される記憶媒体（10）と、
プローブ（14）が前記記憶媒体（10）を走査するように前記記憶媒体（10）に面したローカル・プローブ・アレイ（20）と、

前記パータベーション上を走査する時、前記プローブの各々から信号を得るための手段と、

前記記憶媒体上にパータベーションを書き込むための手段と、

を含む記憶装置に記憶された情報を消去するための方法にして、

前記記憶媒体の第1セクションから消去されるべき情報及びこのセクションにおける消去されるべきでない情報の間を区別するステップと、

前記消去されるべきでない情報をメモリに、望ましくは、

前記記憶媒体の他のセクションに、選択的にコピーするステップと、

前記第1セクション全体を消去するステップと、

を含むことを特徴とする方法。

27. 前記記憶媒体の第1セクションから消去されるべき情報及びこのセクションにおける消去されるべきでない情報は前記消去されるべき情報を識別するポイント又はフラッグを分析することによって区別されることを特徴とする請求の範囲第26項に記載の方法。

28. 第1記憶フィールドから消去されるべき情報の量が他の記憶フィールドの量と比較され、どの記憶フィールドが最初に消去されるべきかを決定することを特徴とする請求の範囲第26項に記載の方法。

29. 消去されるべき記憶フィールドから読み取られた情報は前記記憶装置に書き込まれる前に圧縮されることを特徴とする請求の範囲第26項に記載の方法。

【発明の詳細な説明】**ローカル・プローブ・アレイの大容量記憶装置****技術分野**

本発明はローカル・プローブ・アレイ及びそれに適した記憶媒体に基づく記憶装置に関するものである。

背景技術

半導体処理技術の進歩は、今日のコンピュータのサイズの徹底的な減少を導いた。しかしながら、マイクロプロセッサ、ディスプレイ、及びその他のコンポーネントは安価になり且つ小型になりつつあるけれども、大容量のデータ・メモリ・ユニットは全体のサイズの減少を制限している。サイズ及び電力消費を更に減少させるためには、通常のディスク・ドライブ記憶システムを小型の大容量記憶装置でもって置き換える必要がある。通常、回転メモリを有するそのようなディスク・ドライブ記憶装置は1ギガ・バイトものデータを記憶するが、ミリ秒単位の読取／書込速度しか提供することができない。一方、ソリッド・ステート・メモリはナノ秒単位のずっと高い読取／書込速度を提供する。しかし、それらの記憶容量は数メガ・ビットに制限される。ビット当たりのコストの面から見ると、回転メモリは安価であるが、運動部分のために機械的にはずっと信頼性が低い。

1テラ・ビット以上の記憶容量を持った単一の記憶装置を求める強い要求がある。非常に高いデータ速度（読取／書込速度）を得ることができると云うことは、そのような記憶装置にとって、特に、イメージ・フレームを高速且つ連続的に検索する必要があるマルチメディア・システムにおいて使用される時、更に重要なことである。他の重要な点は、電力消費、全体の重量及び寸法、信頼性、データ・セキュリティ、及び耐衝撃性（携帯用コンピュータ・システムにおいて使用される場合）である。回転メモリの容量とソリッド・ステート・メモリの速度、サイズ、電力消費、及び信頼性とを組み合わせた記憶装置によって、コンピュータは性能及び高密性においてめざましい進歩を遂げるであろう。

走査型トンネル顕微鏡（STM）及び原子間力顕微鏡（AFM）は、並列ローカル・プローブを利用した最初の記憶システムを導いた。

走査型トンネル記憶システムはヨーロッパ特許第247219号において提案された。このシステムは、カンチレバーのアレイに取り付けられた電流検出器より成る。そのアレイに対向して記憶媒体が配置される。その記憶媒体は二次元圧電位置決め装置によって変位される。情報を消去するための完全な方法は開示されていない。

米国特許第5,307,311号には、独立して動作するサブ・デバイスの大型セットを利用したメモリ装置が開示されている。それは、ビットを記憶する領域を有する数百個のマ

イクロカンチレバーのアレイを使用する。これらのカンチレバーの反対側には、走査型トンネル顕微鏡又は原子間力顕微鏡の走査チップと同じ性質の数百個の読取／書込ヘッドがある。各カンチレバーは、それぞれの読取／書込ヘッドがそこに記憶されたビットの上を走査するように振動形式で動かされる。

そのような走査プローブ記憶システムの明らかな欠点は、それが非常に複雑であることである。そのような各サブ記憶装置は、それ自身の駆動機構及び電気配線の他に、多数の読取／書込ヘッドに接続された書込及び読取ラインを必要とする。

情報が消去可能であることは、記憶装置にとって必須である。特に、既に提案されている走査プローブ記憶システムの場合、今までのところ、信頼性の高い且つ満足すべき消去技術は提案されていない。最近の材料の研究において、原理的には消去可能な記憶媒体に適する特殊な材料が見つかった。しかし、そのような材料に記憶された情報を消去するために必要なステップは、遅いか或いは記憶媒体内のシングル・ビットの消去を容易にするよう適切に制御することができない。

走査プローブ記憶システムにおける使用に適した既知の媒体の欠点から見て、改良された材料及び記憶概念は、特に、消去プロセスにとって固有の問題点を克服する必要がある。STM又はAFMの応用によって得られる高い解像度が最も

望ましい属性であることは確かである。しかし、大容量データ記憶装置のために

は、既知の方法の消去能力はあまりにも遅すぎて実用的な応用にはならない。

本発明の目的は、既知の走査プローブ記憶システムを改善する方法及び装置を提供することにある。

本発明のもう 1 つの目的は、記憶された情報の高速の日つ信頼性ある消去を可能にする方法及び装置を提供することにある。

発明の開示

これは、以下のような構成を有する記憶装置を備えることによって達成された。即ち、

- * 情報がパータベーション (p e r t u r b a t i o n)、即ち、部分的に媒体の状態を変化 (1 2) させることにより記憶し得る記憶媒体 (1 0)、
- * プローブ (1 4) が前記媒体 (1 0) を走査するように前記媒体 (1 0) に面したローカル・プローブ・アレイ、
- * 前記パータベーション上を走査する時、前記プローブの各々から信号を得るための手段 (R E A D)、
- * 前記媒体上にパータベーションを書き込むための手段 (W R I T E)。

前記記憶装置は更に次のものを含むことを特徴とする。即ち、

- * 前記記憶媒体の第 1 セクションから消去されるべき情報

とこのセクションにおける消去されるべきでない情報との間を区別するための手段、

- * 前記消去されるべきでない情報をメモリに、望ましくは、前記媒体の他のセクションに、選択的にコピーするための手段、
- * 第 1 セクション全体を消去するための手段。

図面の簡単な説明

第 1 A 図は、本発明による記憶装置の透視図を示す。

第 1 B 図は、第 1 A 図の記憶装置の断面図を示す。

第 2 図は、本発明による第 1 A 図及び第 1 B 図に部分的に示された記憶装置の透視図を示す。

第 3 図は、本発明に従って構成された記憶媒体の平面図である。

第4図は、本発明による記憶フィールドの平面図である。

第5A図は、本発明による記憶装置の一部分の断面図を示す。

第5B図は、本発明による第5A図の記憶装置の平面図である。

第6図は、本発明による他のフィールドに維持された記憶フィールド及びテーブルの平面図を示す。

第7図は、本発明による少なくとも3つのレベルより成る他の記憶装置の投影図である。

第8図は、本発明によるサブアレイより成る記憶媒体の一

部分の平面図である。

第9図は、本発明によるローカル・プローブ・アレイ・チップの概念図である。

。

第10図は、本発明によるローカル・プローブ・アレイ・チップからの信号を読み取るための回路を示すブロック図である。

発明を実施するための最良の形態

本発明の種々の実施例を説明する前に、本発明による記憶装置の基本的素子について述べる。

(a) カンチレバー及びカンチレバー・アレイ

カンチレバーは、作り易いよく知られた素子である。既存の半導体製造プロセスが使用可能である。本質的には、個々のカンチレバー及びカンチレバーのアレイを作成するために、マイクロ機械加工の技術が使用される。そのようなカンチレバーを特定の寸法で作る時、それらカンチレバーが形成される基板として使用される材料の特定のパラメータを考慮しなければならない。そのようなアレイを適切に設計する時、それは低いコストと高い歩留まりでもって大量生産することが可能である。

通常、カンチレバー及びカンチレバー・アレイはシリコン基板の部分をエッチングすることによって作られる。この基板は、通常、(100)又は(111)配向である。(100)配向のシリコンは、例えば、エチル・ジアミン・ピロカ

テコール又はKOH溶液を使用してウェット・エッチング可能である。ウェット・エッチング技術は、一般に、基板の結晶方向に依存する。例えば、(100)配向のシリコンは(111)面の非常に低いエッチング速度を示し、それは、(100)面から 54.7° の角度を持った明確なエッチング面を生成する(111)軸に沿って良好なエッチング停止を導く。1つの代替方法は、ドライ・エッチング技術、例えば、反応性イオン・ビーム・エッチング(RTE)、化学的に支援されたイオン・ビーム・エッチング、又はマイクロ波支援されたプラズマ・エッチングを利用する。プロセス条件次第で、優れた次元制御に通じる深い且つ異方性の構造を得ることができる。エッチングされるべき構造体を設計するためにマスクを使用することも可能である。使用されるカンチレバーはフォトリソグラフィ及びエッチングによって得られる任意の形状を持つことができる。断面形状は、例えば、矩形、円形、楕円形、又は多角形でよい。

カンチレバーの製造に適した他の半導体材料としては、IEEE Transactions on Electronic Device, Vol.ED25, No.10, 1978, pp.1241-1249におけるK.E. Petersenによる「シリコンに関する動的マイクロメカニクス：技術及び装置(Dynamic Micromechanics on Silicon: Technique and Devices)」と題した記事において報告された砒化ガリウムのような材料がある。

(b) ローカル・プローブ及びローカル・プローブ・アレイ

通常、チップはローカル・プローブとして使用される。そのようなチップを製造するための種々の技術が知られている。それらは、例えば、シリコンのような単結晶材料の酸化と組み合わせて等方性ウェット・エッチング又はドライ・エッチングによって作ることができる。ローカル・プローブ及びローカル・プローブ・アレイを作るためには次のような材料、即ち、タングステン、タングステン合金、プラチナ、モリブデン、シリコン(ドーパ、又はアンドーパ)、ドーパ・ダイヤモンド、任意の耐火金属、又は導電性セラミックス等が良く適している。ウェット又はドライ・エッチングとリフトオフ・プラス酸化との組合せは、非常に鋭く尖った円錐形を導く。チップが先鋭になればなるほど、情報を記憶媒体上に密に記憶することができる。プローブは、例えば、金のような適当な金属で被覆

することができる。米国特許第5,204,581号には、本発明と関連して使用可能なチップ又はチップのアレイを作る方法が詳しく記載されている。チップのマイクロファブ리케이션に関するもう1つの例が、Sensors and Actuators A, Vol.34, 1992, pp.193-200におけるj. Bredder他の記事「スキヤニング・フォース顕微鏡のためのシリコン・カンチレバー及びチップ (Silicon cantilevers and tips for scanning force microscopy)」と題した記事に開示されている。一括生産によって、ローカル・プローブ・アレイを再生産可能な安価な方法で作ることができることに留意することは重要である。

(c) 駆動回路

駆動回路、前置増幅器、及び情報を読み取る及び書き込むための適当な配線を含む装置を設ける必要がある。これらの装置を作るために、半導体及びソリッド・ステート産業には一般的な既存のツール及びプロセスを使用することが可能である。プローブと同じく駆動電子回路も、極めて小さいサイズに縮小されるけれども、走査型トンネル顕微鏡 (STM) システム及び原子間力顕微鏡 (AFM) システムにおいて使用されるような回路を必要とする。短い相互接続、高い速度、及び回路のための低い電力を得るためには、小型化は必須である。高度並列走査プローブ・アレイによって得られる高いデータ速度に対処するためには、情報を読み取る及び書き込むための非常に高速度の電子回路を設ける必要がある。

(d) 記憶媒体

本発明による記憶媒体は、情報が実際に記憶される複数の記憶フィールドに区分される。本発明と関連して使用可能な媒体は次のようにグループ分けすることができる。一般に、パーティションは、次のようにローカル的に処理することによって、媒体内に形成し或いは媒体から取り除くことができる。

- * 地形的特徴又は構成を創り出す又は変更すること；
- * 結晶位相を変更すること；
- * 電子的状態を創り出す又は破壊すること；
- * 存在する電子的状態を満杯にするか又は空にすること；

- * 領域構造又は極性状態を創り出す又は変更すること；
- * 化学的結合を創り出す又は変更する

上記の例に加えて、物理的效果又は化学的效果の任意の組合せを使用することができる。これに適した種々の媒体に関する詳細な説明は米国特許第5,307,311号に示されている。

上記米国特許において明確には述べられていないもう1つの方法は、非常に軟らかいワックス状の材料、ポリマ、又は液晶を使用するものであり、その場合、その材料をローカル的に加熱することによって又はプローブを上下に動かしてパターン又はピットを転写することによってパータベーションが作られる。その材料をローカル的に、或いは更に大きい領域上で、例えば、記憶フィールド上で溶かすように加熱することによって、それをクリーン・アップする（消去する）ことができる。その加熱は、電氣的に、例えば、抵抗器のようなローカル加熱素子によって、又はレーザ・ビームによって得ることができる。温暖なプローブが記憶媒体においてパータベーションを発生するように、各ローカル・プローブ・アレイに熱源、例えば、抵抗器を設けることは可能である。その記憶媒体に一体化された加熱素子又はその背後に置かれた加熱素子によって、記憶セクション全体を一度に消去することが可能である。

パータベーションは、原子を移動するために及び除去するためにトンネル効果を使用することによっても発生可能である。

この方法は米国特許第4,575,822号に開示されており、それによれば、記憶媒体の表面に吸着された原子のパターンの形で情報が記憶される。プローブは媒体からトンネル距離に維持され、書込のためには個々の原子を媒体から除去し、読取のためには走査されたロケーションにおける原子の存在又は不存在によって生じるトンネル電流の変化を検出する。

本発明の第1実施例に関連して示された窒化物・酸化物・シリコン構造の媒体が十分に適する。走査トンネル・チップ、或いは窒化物、酸化物・シリコン構造の媒体に関して一定の距離に置かれた走査キャパシタンス・プローブがパータベーションを測定するために及び検出するために使用可能である。更なる詳細は、

Journal of Applied Physics, Vol.70, No.5, Sept. 1991, pp.2725-2733におけるR.C. Barrett他による「走査型キャパシタンス顕微鏡による窒化物・酸化物・シリコン媒体における電荷記憶 (Charge storage in a nitride-oxide-silicon medium by scanning capacitance microscopy)」と題した記事において与えられている。

永続記憶媒体の他に、一時記憶媒体が知られている。その媒体の一例は、情報をその媒体に書き込む時に電荷がトラップされるものである。しばらくして、この情報は、それら電荷が散逸するために消える。そのような振る舞いを示す材料も、後述するように、本発明と関連して使用可能である。

S T Mベースの方法の下で、如何なる電流も使用すること

なく絶縁媒体及び磁気記憶媒体におけるコントラスト (パートベーション) を見ることができるA F M技術、又はA F M及びS T Mの任意の組合せが使用可能である。

別々の記憶フィールドを与えるように、種々の記憶媒体が構成可能である。これらのフィールドは、それらが重畳しないように配列される。通常、それぞれのフィールドのデータが明らかに区別可能であることを保証するために、隣接するフィールド相互間に一定の距離が残される。これらの記憶フィールドの配列が密になればなるほど、記憶装置全体の密度は高くなる。

(e) 走査移動

本発明では、記憶媒体に関するプローブの走査移動を得るための種々の方法が利用される。最も簡単な方法は、記憶媒体の位置をそのまま変更しないでおいてローカル・プローブ・アレイ全体を動かすか、或いはその逆にあることである。記憶媒体並びにローカル・プローブ・アレイが動かされる場合、更なる自由が得られる。例えば、第1軸に平行な方向に記憶媒体を前後にゆっくりと動かすことは有益である。記憶媒体の走査移動は、ローカル・プローブが対応する記憶フィールドを越えないように選択される。即ち、走査移動は記憶フィールドの大きさにほぼ等しい。同時に、ローカル・プローブ・アレイは直角方向にステップ状に動かされる。ローカル・プローブ・アレイ及び記憶媒体の組み合わせた動きによ

って、記憶フィールドの第1行が走査される。そこで、プロ

ーブは、記憶媒体が戻る前に、次の行にジャンプする。次のこの行は今や逆向きに走査される。この方法は、走査型電子顕微鏡の分野では「バスケット・ウィーブ・スキャニング (basket-weave scanning) として知られている。

速度を変化させることの他にパルス状の走査及び連続走査を含む種々の操作方法を使用することが可能である。

(f) トラッキング

ローカル・プローブがそれら自身のアクチュエータを持たない記憶システムでは、移動するローカル・プローブ・アレイによって監視及び追跡される特別トラックを記憶媒体の縁部に設けることによってトラッキングを達成することができる。トラッキングは、例えば、ローカル・プローブ・アレイを所定の方向に沿って案内する機械的手段によって達成可能である。そのような機械的トラッキング手段は他の無接触トラッキング手段と組み合わせるか、或いはそれによって完全に置換することができる。記憶媒体上の対応物と相互作用するように配列されたローカル・プローブ・アレイにおける偏向センサが記憶媒体と平行にそのアレイを正確に動かすことを可能にする。記憶フィールド又は記憶媒体の境界に印を付けるために、特別のトラッキング・マークを使用することもできる。そのようなトラッキング・マークに到達する場合、ローカル・プローブ・アレイは、例えば、後方へ移動したり或いは他の位置へジャンプしたりするようにトリガ可能である。

又、トラッキングは、記憶装置がパワー・オフ後、或いは一時的に停止した後、明確に定義された位置に戻ることを保証するために重要である。

ローカル・プローブ・アレイ全体又は記憶媒体を動かすために使用されるアクチュエータの他に、各ローカル・プローブ又はそれが設置されるカンチレバーがそれ自身のアクチュエータを持つことも可能である。そのような各アクチュエータは適当な配線及び駆動回路を必要とする。このような半自動のローカル・プロ

ープが使用される場合、次のような2つの異なるスキームが考えられる。

(1) ローカル・プローブ・アクチュエータは、製造公差を補償するために及び記憶媒体のローカル表面の粗さを一様にするために使用可能である。

(2) ローカル・プローブそのものは、複数の複雑なローカル・アクチュエータが必要である場合の走査移動に寄与することが可能である。

このようなローカル・プローブ・アクチュエータが使用される場合、記憶フィールドに基づいてトラッキングを行うように考えることもできる。その一例は、一連の原子がローカル・プローブによって検出及びフォローされるようにそれらの原子を1つの列に沿って配列することである。

(g) アクチュエータ

各カンチレバーは、緩和位置から偏向位置に、又はその逆

にそれを変位するためのアタチュエータを含む。アクチュエータによって得られる変位は、例えば、損傷を防ぐように減少させることもできる。

変換器とも呼ばれる統合圧電アクチュエータによって得られる種々のカンチレバー運動が、PCT公開特許出願WO89/07256号の第34図乃至第37図に示されている。その得られる種々の運動は、カンチレバー・アレイのうちの各カンチレバーが更なる行動の自由を持つローカル・プローブ記憶装置を容易なものにする。そのアレイは、全体として、記憶媒体上を低速の閉ループ態様で走査されること、及び各カンチレバーが現在届く範囲にある更に小さいサブエリアを走査することが考えられる。

(h) 粗アクチュエータ

各カンチレバーのアクチュエータに加えて、特定の適用業務によっては、顕微鏡的な距離の粗調整が必要なことがある。記憶媒体の届く範囲内でアレイのプローブを動かすために粗アクチュエータが使用可能であり、しかる後、そのカンチレバーの細密アクチュエータが走査ギャップ制御を行う。粗変位は、製造公差を補償するために、又は一時停止位置におけるアレイを、それが使用されない時に動かすために、又は本発明に関連して一定の領域が消去される時に、使用可能である。粗変位のためには、PZT（圧電セラミック材料；ジルコニウム酸塩チタ

ン酸鉛) アクチュエータ、又は精密レバー及び微動ネジが使用可能である。

上記のアクチュエータは、本発明の記憶装置に統合可能な又は別個に実行可能な特定の駆動回路を必要とする。走査移動は、データを読み取るために及び書き込むために使用されるマルチプレクサ/デマルチプレクサと同期する。

(i) インターフェース電子回路

駆動手段及び読取/書込電子回路に加えて、インターフェース回路の類が必要である。そのような回路は、マイクロプロセッサ、マルチプレクサ/デマルチプレクサ、並列・直列変換器、直列・並列変換器、ディジタル・アナログ変換回路、及びアナログ・ディジタル変換回路等を含む。特に重要なものはエラー訂正手段である。或アプリケーションに対しては、記憶装置のすべての活動を調整するマイクロプロセッサを使用することが賢明である。本発明の記憶装置が一部分となっているコンピュータのマイクロプロセッサと共同するようにその記憶装置を設計することは考えられることである。本発明の記憶装置の数百又は数千のローカル・プローブを通してアクセス可能な大量のデータに対処するために、非常に高速の電子的スイッチ又は光学的スイッチを使用することも可能である。

本発明による完全な記憶装置を説明する前に、その基本的な構成ブロックを、第1A図を参照して定義する。

第1A図、第1B図、及び第2図を参照して、本発明の第1実施例を説明することにする。第1A図に示されるように、記憶フィールド11.xは記憶媒体10における小さいパート

ーション12を含む。これらのパートーションの各々はビットを表す。そのようなパートーションは非常に小さくてよい。数ナノメートル (nm) のサイズを有するパートーションが従来技術において報告されている。そのようなパートーションを容易に検出することができることを補償するために、隣接するパートーションの中心は約30nm離れていなければならない。本発明による記憶フィールドは30 μm *30 μm のサイズを有し、それは10⁶ビットという記憶フィールド当たりの記憶密度を導くものである。第2図には、4つの記憶フィー

ルド11.1-11.4のサブ・アレイが示される。記憶媒体及びパーティションの検出のために使用されるプロセスよってば、チップ当たり約100kHzのビット走査速度を達成することが可能である。本発明によれば、それぞれのチップを有する4つのカンチレバー13.1-13.4を持ったローカル・プローブ・アレイが対応する記憶フィールド11.1-11.4上を全体的に走査され、各記憶フィールドにおけるデータがほとんど同時にアドレスされる。この横方向の移動に加えて、その媒体に垂直な方向におけるそのアレイの変位は、例えば、そのアレイを一時停止する時に有用となるであろう。チップの最大横方向走査移動は単一の記憶フィールドの寸法に依存する。本実施例では、最大走査移動は $\geq 30\mu\text{m}$ である。既知のx-y位置決め装置を使用すると、1ms乃至1 μs の範囲におけるアクセス・タイムを得ることができる。これは、10msという今日のディスク

・ドライブのアクセス・タイム、に全くひけを取らない。第2図に示されるような記憶システムの場合、 4×10^5 ビット/秒という合計データ速度を得ることができ(10⁶ビット/記憶フィールド、4フィールド及び100kHz走査速度を仮定して)、勿論、これらの数値は走査速度及び記憶フィールドの数と共に変動する。

次に、第1実施例の更なる詳細及び使用される材料を説明する。ローカル・プローブ・アレイ20は、金属化されたカンチレバー13.1-13.4及びチップよりなる。記憶媒体は、薄い酸化物層15によってカバーされた半導体基板10よりなる。この酸化物層15は、パターン化された誘電体層11.xでもって被覆される。これらの誘電体層11.xのサイズ及び形状は記憶フィールドを定義する。カンチレバー13.xは、チップが記憶フィールドに押しつけられるように設計される。記憶媒体10上をアレイ20全体が走査する時、対応する記憶フィールドの電気的特性を測定するためにチップが使用される。

第1実施例による記憶装置のローカル・プローブ・アレイは4つのx-yアクセス・ラインによって簡単にアドレスすることができる。そのアクセス・ラインは、選択された記憶フィールドにおけるローカル・プローブがそのローカル・プローブ・アレイの瞬間的位置によって与えられるこの記憶フィールド内のビット

位置において読取／書込を行うことを可能にする。 $N \times N$ の記憶フィールドを持った記憶装置の場合、

N^2 個の $x-y$ アクセス・ラインが必要である。

記憶媒体としてよく適するものは、基板 10 としてのシリコンと誘電体層 11、 x としての窒化物との組合せである。そのような材料では、情報は窒化物層においてトラップされた電荷の形式で記憶することができる。それぞれのチップにバイアスを印加することによって電荷が導入、即ち、書き込まれる。これによって、電荷は酸化物層 15 内を抜け、窒化物層 11、 x においてトラップされる。電荷の形におけるこれらのパータベーションは、数日の期間にわたって安定しているものと観察された。パータベーションは、ローカル・プローブのチップを使用することによって、又は金属化されたカンチレバーを使用してその記憶フィールドのキャパシタンス・イメージを得ることによって検出、即ち、読み取られる。パータベーションは、チップと記憶媒体との間に逆バイアスを印加することによって大部分除去、即ち、消去可能である。電荷トラッピング機構は、いつも多少の残留電荷が残ってしまうように、完全には可逆性ではない。特に、短い逆バイアスのパルスをチップに印加することによってパータベーションを消去しようとする場合、そのパータベーションは完全には除去されない。記憶媒体が長く使用されればされるほど、記憶された情報を読み取る時の信号・雑音比は悪くなる。情報が通常の方法で、即ち、ビット毎に消去される場合、第2図におけるサブ・アレイ全体が全体的に封鎖されるか、又は隣接するフィールドにおける読取／書込プロセスがその遅い

消去プロセスのために遅らされるであろう。本発明によれば、この問題は、記憶フィールド全体をときどき完全にクリーン・アップすることにより克服された。このためには、チップは逆バイアスされて記憶フィールド上をゆっくりと動かされるか、又はこれらの電荷を除去するために更なる手段が設けられる。例えば、記憶媒体の背後側に個別の接点がある場合、又は隣接する記憶フィールドが相互に十分に隔離されている場合、隣接する記憶フィールドを個別にクリーン・アッ

プすることができる。これは、情報を隣接フィールドに書き込みながら逆バイアスを1つの記憶フィールドに印加することを可能にする。

これを達成するために、データ管理スキーム及びそれを実施するための適当な手段が設けられる。ビット毎の消去のための信頼し得る高速の消去機構は存在せず、又、その見通しも全くないので、種々の方法が提案される。本発明のよれば、新しい情報又は変更されるべき情報が、特別に選択されたブランク記憶フィールド又はそのような記憶フィールドの領域に書き込まれる。

第3図には、1つの例が示される。この図には、複数の記憶フィールドを有する記憶媒体の平面図が示される。記憶フィールド31が消去される前に、この記憶フィールドにおける依然として必要な情報は他のエンプティ・フィールド32に転送される。同様に、依然として必要なそのような情報を記憶するために、通常のメモリ装置を使用することも可能で

ある。

本発明の記憶装置は、最早必要ない情報と依然として必要な情報とを区別する助けをする手段を含む。これは、予約された別個の記憶フィールド33に維持されたテーブル、又は、例えば、各記憶フィールドのそばにおける予約されたビットによって行うことができる。第4図及び第5B図と関連して2つの異なる方法を概説する。両方の図において、例えば、25個のビット・ロケーションよりなる記憶フィールド40が示される。これらのビットのうちの2つ（参照番号41）が依然として必要であり、一方他のビットはすべて最早必要ないと仮定すると、これら2つのビットは適当にマークされなければならない。第4図には、行フラッグ（RF）44と呼ばれる1列のフラッグ及び列フラッグ（CF）45と呼ばれる1行のフラッグがある。CF45の第1及び第2ビットは上げられ（例えば、「1」にされ）、RF44の第2フラッグ42も上げられる。これらの3つのフラッグ42及び43は、ビット41を依然として使用されるものとして明瞭に識別する。

第5B図において、CF45は回転され、RF44の次に置かれる。第4図におけるように、CF45のフラッグはそれぞれの行を指し、RF44のフラッグ

は記憶フィールド40のそれぞれの列を指す。この配列の利点は、第5A図における断面図に示されるように、プローブ46を持った平行なレバー47のアレイがある場合、それらのフラッグがその記

憶フィールドにおけるビットと同時に読み取り可能であるということである。1つの代替方法は、これらの並列プローブ46をすべて同じカンチレバーの一端に装着することであろう。この場合、記憶媒体の表面の粗さを一様にするために、Z軸に沿った移動の自由を各プローブに与える更なる手段が設けられなければならない。30nmのビット・サイズを仮定した場合、チップ相互間の距離も30nmであるため、チップ46を実現するに十分なスペースがない。この問題を克服するために、記憶媒体上のデータはインタリーブ方式で配列可能である。300nmの隣接チップ間の距離を仮定した場合、第1列、第11列、第21列、第31列等が同時に読み取られるであろう。そこで、プローブ・アレイ46は30nm動かされ、そして第2列、第12列、第22列、第32列等が読み取られる。

別個のテーブル或いは列及び行フラッグを使用する場合、記憶フィールドにおける各ビット・ワードは、そのワードに含まれた情報が依然として必要とされるかどうかを表すヘッダを含む。

記憶フィールドにおける情報のどの部分が依然として必要とされるかを表すために使用される手段は、以後、消去ポインタと呼ばれる。後で使用されるかも知れない情報及び最早使用されない情報を区別するために使用されるプロセスは消去データ管理と呼ばれる。各ビットに対して1つの列及び行フラッグを使用する場合、これらの消去ポインタのために記

憶媒体上の多くの領域が費やされる。記憶フィールドにおける情報を編成する方法によっては、必要な消去ポインタは更に少なくなる。第6図には、記憶フィールドにおける5つの8ビット・ワードの例が示される。この図には示されていないサブ・アレイ全体は、例えば、20個の記憶フィールド($n=20$)を含み、各記憶フィールドは5個の8ビット・ワードを記憶するための容量を有する。即ち、記憶装置全体は800ビットの容量を有する。本実施例では、第11記憶フ

フィールド60 ($n=11$) は、その情報のほとんどが不要なものであるために消去されるべきものである。このフィールドの第5ワードだけが依然として必要とされる。対応する消去ポインタ・テーブル62において、フラッグ61が上げられ、それは第11記憶フィールド60 ($n=11$) における第5ワードが消去されるべきではないことを表す。従って、その第5ワードは、記憶フィールド60がクリーン・アップされる前に他のフィールドにコピーすることによって救われる。

情報が消去し得るものであるかどうかを決定するための考え得る数多くの種々の方法が存在することはこの例及び前の例から明らかである。記憶フィールドにおけるビット・ワードが長ければ長いほど、消去ポインタ・テーブルにおけるポインタは少なくなり、或いは消去フラッグは益々必要なくなる。

消去データ管理プロセスにおける必須のステップを次に説

明する。

(1) 先ず、或特定の情報が依然として必要とされるか否かを検出するために、消去ポインタがチェックされる。即ち、対応するフラッグ、ヘッダー、又は別個に維持されたテーブルが調べられる。第4図又は第5図に示された例の場合、それぞれの行フラッグ及び列フラッグの単純なAND結合を生成することができる。そこで、最早必要ない情報と依然として必要である情報とを区別するように、このAND結合の結果が記憶フィールドにおける情報上にマップされる。

(2) 依然として必要であると識別された情報はそれぞれの記憶フィールドから他のブランク記憶フィールド（例えば、第3図におけるフィールド32）に転送される。一旦、元の記憶フィールドにおけるすべての情報が「救出」されてしまうと、次のステップが開始される。

(3) 元の記憶フィールド全体又はそのようなフィールドの幾つかが一度に消去される。記憶媒体として使用される材料によっては、これは、上記のように、照射、加熱、減磁、又は放電によって行うことができる。1つ又は複数の記憶フィールドが消去されるけれども、カンチレバー・アレイを一時停止すること、又はカンチレバーによる干渉なしに記憶フィールドの表面全体がアクセスされるよう

にそれを動かすことは有益なことである。例えば、カンチレバー・アレイを取り除くために粗アクチュエータを使用することが可能であり、或いは、そのアレイを変位又はフリップするために形状記憶

合金 (SMA) を使用することも可能である。

(4) 消去されてしまった記憶フィールドは、今や、ブランク記憶フィールドとしてマーク及び処理可能である。

消去ポインタによって指定されなかった情報は他のブランク・フィールドに転送されるけれども、情報が不要なものになったかどうかをチェックするためにエラー検出機構が使用される。巡回冗長検査のような任意の種類のエラー検出機構を使用することが可能である。

削除されるべき情報の指示に加えて、変更される必要のある情報をアクセスするために同様の方法を使用することができる。そのような「変更」ポインタ使用して、記憶フィールドからワードを検索することが可能である。このワードはプロセッサに送られ、そこで、それは処理及び変更される。そこで、その変更されたワードは他のブランク・フィールドに記憶され、そして、それが前に記憶されていた記憶フィールドにおける位置は、この情報が最早必要ないため、消去ポインタによってマークされる。そのワードが変更される必要がないことを計算の結果が示した場合、消去フラッグを上げる必要はなく、このワードを他の記憶フィールドに書き込む必要もない。

情報の上書きは通常の意味では不可能であるので、記憶装置の記憶フィールドは或状況の下では満杯にされるかもしれない。極めて大きい記憶容量にも関わらず、これはデータの圧縮を必要とする。本発明に従って、上記消去プロセスと共

同して行うデータの幾何学的圧縮のためのプロセスを説明する。以下では、2つの異なる圧縮方法が扱われる。

(j) イン・アウト・クリーン・アップ:

上記の消去プロセスと関連して説明したように、記憶フィールドは、それぞれの消去ポインタを使用して、最早必要ない情報をサーチされる。依然として必要

である情報は他のブランク記憶フィールドへ転送される。本発明によれば、この情報の転送は幾何学的に行われる。即ち、元の記憶フィールドにおけるブランク領域がコピーされ、宛先記憶フィールドにおいてブランク領域としてビット毎に現れる。そこで、圧縮機構（ファジー・パズル・クリーンアップ）は、宛先フィールドにおけるブランク・ギャップにうまく適合する他の記憶フィールド又はサブ・アレイからのファイル又はワードのサーチを開始する。数百或いは数千もの異なる記憶フィールドが存在するという事実のために、そのようなワード又はファイルを見つける可能性は非常に高い。パズルにおけるように、宛先フィールドは、その記憶容量がほとんど使用されてしまうまで、或いはすべて使用されてしまうまでパックされる。記憶密度が進化論的方法で最適化されるように、「巡回セールスマン・アルゴリズム」を利用した「巡回セールスマン」方法の類或いは発生論的アルゴリズムを使用してもよい。そのような「巡回セールスマン・アルゴリズム」又は発生論的アルゴリズムは、1つの記憶フィールドから直接に他の記憶フィールドに情報を高速度で見つ効率的にコピーする

ことを可能にする。そのようなスマートなアルゴリズムが実施されない場合、依然として必要な情報を一時的記憶フィールド又は外部記憶装置にコピーすることは有益である。そこで、その情報は、例えば、圧縮され、その後、ブランク記憶フィールドに記憶される。

データ圧縮は、例えば、空にされるべき記憶フィールドを選択するための一定のルールを適用することによって更に改良又は修正することができる。このフィールドは、1つのフィールドの不要なデータの量を他のフィールドのその量と比較することによって選択可能である。最も多くの不要データを持った記憶フィールド、即ち、わずかなビットしか依然として必要とされないフィールドが先ず処理可能である。しかる後、次の記憶フィールドが後続する。一定の記憶フィールドをクリーン・アップするためのルールはユーザ定義することができ、或いは記憶装置を設計した時に導入することもできる。

次に、本発明のもう1つの実施例を説明する。通常の記憶装置の置換に適する記憶装置を得るためには、その記憶容量は十分に高い必要がある。そのような高

い記憶容量は、数多くの記憶フィールド71を持った記憶媒体70を使用することによって実現することができる。第7図において概略的に示された実施例では、記憶媒体70は 1000×1000 個の記憶フィールド71を有し、各記憶フィールドは 10^6 ビットの容量を有する。これは、1テラビットまで記憶するこ

とができる記憶装置に通じるものである。この情報をアクセスするために、 1000×1000 個のカンチレバー73及びプローブを有する二次元ローカル・プローブ・アレイ72が設けられる。この二次元アレイ72は記憶媒体70に密接した距離に設けられ、その各記憶フィールドにプローブが割り当てられる。本実施例では、記憶装置は情報を読み取り及び書き込むためにトンネル効果を利用する。プローブの各々を個々にアドレスするためには、適当な配線が必要である。記憶媒体70がその裏側と共通の接点を使用することによって接地電位に保持される場合、プローブ当たり1アクセス・ラインが必要である。この仮定は、カンチレバーがz方向変位に対する微細アクチュエータのようなアクティブな位置決め手段を必要としない場合に適用される。二次元のローカル・プローブ・アレイ72の基板上の領域は、 1000^2 個のアクセス・ラインを保持するには十分ではない。本発明によれば、この問題は、その記憶装置がカンチレバー・アレイ72を持った基板上にフリップされるレベル3として参照されるもう1つの層74を含むということで迂回される。このレベル3は読取／書込ライン75.x及び選択ライン76.xを有し、スペースが許すならば、例えば、更なる電子的読取／書込回路を有する。読取／書込ライン75.x及び選択ライン76.xの使用は、第9図と関連して詳しく後述する多重化アドレッシング・スキームを必要とする。この記憶装置の3つのレベルは、第7図に概略的に示されるだけである。

レベル3のボード74の片側において電氣的配線を実現し得ない場合、金属化シート及び絶縁シートの複数の層を持った印刷回路ボードが使用可能である。適当な管によって、アクセス・ラインはそのボードを貫通し、金属化パッドにおいて終端する。これらのパッドは、レベル3のボード74がフリップされる場合、ローカル・プローブ・アレイ72のプローブに対する電氣的接触が保証されるよ

うに実施及び配列される。通常、複数の印刷ボードを接続するために使用されるハンダ接合は、本発明と関連して使用するのに好適である。得られる位置合わせ精度は本発明による高密度記憶装置を実現するに十分である。位置合わせ及び機械的相互接続のためのハンダ接合の使用に加えて、これらの接合はローカル・プローブ・アレイとボード74との間の電氣的接続としても働く。又、レベル3からレベル2への容量性の電氣的結合も考えられることである。

第7図に示された実施例は次のような材料を含み、読取/書込プロセスは後述の方法に基づいている。記憶媒体70は、ローカル・プローブ・アレイ72のプローブによってローカル的に分極される強誘電物質、例えば、PZTを含む。薄膜強誘電物質が好適である。その記憶媒体は、チップが次のビット位置へ移動された後もローカル残留分極を維持する。逆分極電圧の印加はその媒体を逆向きに分極するであろう。この効果は、高い記憶密度を持った双安定記憶装置のために使用可能である。ローカル分極は不揮発性である、即ち、ロー

カル・プローブが去ってもそのまま変化しないで残る。ローカル分極の形をしたパータベーションは、ローカル・プローブにより印加される電界と分極状態との相互作用を測定することによって検出する、即ち、読取ることができる。この相互作用はトンネル電圧又は電流の変化を導く。好適な実施例は、チップを記憶媒体と接触させることなくその記憶媒体上を走査させるものである。チップと対応する記憶フィールドとの間に必要な読取及び書込電圧を加えることによって、情報を記憶又は検索することができる。情報を消去するためには、ローカル・プローブ・アレイ72のチップは、読取及び書込のために使用されるトンネル電流モードの代わりに電界放出モードで動作する。その電界放出モードでは、大きい電圧又は電流を記憶フィールドに導入することができる。この方法は、ビット毎の情報の消去にとって十分に適したものではない。それは、その消去が低い分解能のものであり且つ低速であるためである。本発明によれば、電界放出モードは、フィールド全体をクリーン・アップするために使用される。このクリーン・アップのプロセスは、第1実施例と関連して既に述べた特別のデータ管理手段によって制御及び実行される。

第8図には、もう1つの媒体80の一部分が示される。この記憶媒体は複数のサブ・アレイ81に区分される。そのような各サブ・アレイは、例えば、第1図、第2図、又は第7図と関連して説明したような数多くの記憶フィールド82（

拡大スケッチ参照）を有する。このように記憶媒体を区分することによって、更に高い記憶容量を持った記憶装置を実現することができる。そこで、1つのローカル・プローブ・アレイがサブ・アレイ81各々に割り当てられる。これらのローカル・プローブ・アレイは機械的に独立しているので、下側の記憶フィールドがクリーン・アップされるように他のサブ・アレイが一時停止され或いはフリップされている間でも幾つかのサブ・アレイは読取／書込モードにあることが可能である。サブ・アレイの各々は、それ自身の読取／書込電子回路及びマルチプレクサ／デマルチプレクサを有する。幾つかのサブ・アレイが現在利用可能でないか又はアクセス可能でない等の場合に着信データを再分配するようにサブ・アレイ相互間のデータ・フローを制御するための高レベル・データ管理手段が設けられる。

エラー検出及び訂正（EDC）は、各サブ・アレイがシングル・ビット・エラー又はダブル・ビット・エラーを検出でき且つシングル・ビット・エラーを訂正できるようにすることによりそのような記憶装置において遂行される。これは、望ましくは、メモリの各4バイトに対して1バイトのエラー訂正コード（ECC）を付加することによって行われる。

既に説明したように、 $N \times N$ 記憶フィールド及び $N \times N$ ローカル・プローブを持った記憶装置は N^2 個のアドレス・ラインを必要とする。 1000×1000 ローカル・プローブを持った記憶装置はローカル・プローブ・アレイの表面領域

に適合しない 10^6 個のアドレス・ラインを必要とする。第9図を参照して説明するもう1つのスキームはそのような状況において使用可能である。この図には、二次元の 1000×1000 ローカル・プローブ・アレイのチップ90が概略的に示される。読取増幅器93.x及び書込増幅器93.xを持った読取／書込ライン91.xがそのローカル・プローブ・アレイの左側に表される。更に、この

記憶装置は1000個の選択ライン95.xを含む。このスキームによれば、N個の読取ライン及びN個の選択ライン、即ち、合計 $2 * N$ 個のラインだけが必要とされ、読取／書込プロセスが交互に実行される。即ち、短いパルスが選択ライン95.xを通して送られる。一行のチップが順次アドレスされる。本実施例では、第9図の最上部分に示されるように、隣接する行のチップがアドレスされるまで100nsを必要とする。1000個の選択ライン95.xすべてをアドレスするには100 μ sを必要とする。記憶媒体上に記憶された情報を読み取るためにキャップ・センシング (cap-sensing) が使用される場合、簡単なトランジスタ・スイッチ101及び読取増幅器100を使用して、チップ容量102が100nsの率でサンプルされる。それぞれのブロック図が第10図に示される。同様の方法が現在の動的ランダム・アクセス・メモリ (DRAM) において既に使用されている。それとの唯一の相異は、DRAM容量がローカル・プローブの容量、即ち、チップ容量によって置換されることである。

以下において、本発明による記憶装置を含むコンピュータ・システムを概説する。記憶装置は複数のサブ・アレイを含み、各サブアレイはそれ自身の機械的に独立したローカル・プローブ・アレイを有する。それらのサブ・アレイは、記憶されるべきデータ・ビットを受け取るための及びその装置からのデータ・ビットを保持するためのバンク及びページに配列される。更に、その記憶装置は、データ・ビットを転送するためにそのローカル・プローブに接続された複数の読取／書込ラインを含む。その記憶装置をコンピュータ・システムに結合するために、コネクタがその読取／書込ラインに結合される。記憶装置全体は保護エンクロージャ内に設けられる。更に、メモリ・コントローラが使用されて、その記憶装置及びそのサブ・アレイへのアクセスを制御し、データ交換を同期化し、及びパワー・オン時にメモリ・チェックを行う。このメモリ・コントローラは本発明によるデータ管理手段を含むか、或いは直列又は並列相互接続バスを介してそのようなデータ管理手段と相互作用することができる。本発明の記憶装置は、更に、その記憶装置からの一行のデータを記憶するための静的ランダム・アクセス・メモリ (SRAM) に接続可能である。上記メモリ・コントローラは、この場合でも

、そのSRAMをロード及び選択するようにそのSRAMと相互作用するであろう。そのようなSRAMは、クリーン・アップのための一時メモリとしても使用可能である。

本発明の記憶装置はビデオ記憶装置としての使用にも非常

によく適する。例えば、64ビット・ワードが非常に高速で記憶及び検索可能である。その記憶装置が高速度バス・システム、例えば、光学的バスを介してイメージ・プロセッサにリンクされる場合、イメージが高速且つ連続的態様で処理及び表示可能である。

上記のような記憶装置は巨大な記憶容量を有する。そのような記憶装置が使用されるコンピュータ又はシステムによっては、クリーン・アップ及びデータ圧縮が1日に1回、或いは夜の間に、或いは週末に行われる場合、又はプログラムが、現在、記憶装置にアクセスを行っていない場合、それは十分であろう。第7図に示された装置では、データ管理手段がレベル1-3の1つに一体化されるか、又は別個のユニットとして実行される。記憶装置がほとんど満杯であること、又は不要なデータを含む多くのフィールドが存在することをこのデータ管理手段が決定する場合、クリーン・アップ・プロセスが開始される。その実施によっては、キーボードも如何なるアプリケーション・プログラムもアクティブでないことをデータ管理手段が認識する場合にのみ、そのクリーン・アップ・プロセスが開始される。携帯用コンピュータでは、そのコンピュータが待機モードにある場合にクリーン・アップ・プロセスが開始可能となる。

既に説明したように、情報を消去するためには、記憶媒体を加熱してもよく、照射してもよく、或いは、減磁してもよい。そうするためには、カンチレバー・アレイは、記憶媒体

が上からアクセスされるように、フリップされるか、或いは安全な距離に一時停止されなければならない。情報を消去するためには、下から記憶媒体をアクセスすることも可能である。例えば、抵抗性の層を、記憶媒体の裏側に取り付けることも可能である。この抵抗性の層に電圧を印加することによって、媒体の温度を

増加させることも可能である。使用される記憶媒体によっては、そのような温度処理はパータベーションの除去にも通じる。

パータベーションがビット毎に除去可能であるというその分野において既に知られている幾つかの記憶媒体がある。そのようなパータベーションを全体的には除去することができないことが報告された。これは、記憶媒体が長く使用されるほど信号対雑音比の増加を導く。誤って情報として変換されることがあるその媒体上の残留物を除去するために、記憶フィールド消去プロセス又は一様なグローバル消去プロセスを時々使用することは可能である。そのような記憶フィールド又はグローバル消去プロセスは、通常、かなりのエネルギーを必要とする。本発明の記憶装置が携帯用コンピュータにおいて使用される場合、そのコンピュータがAC電源に接続されるまで待つことを勧めたい。しかる後、バッテリーからのエネルギーを消費することなく、消去プロセスを実行することができる。

ローカル・プローブ・アレイは本発明による記憶装置の最も高価な部分であるので、そのような装置のコストを不必要

に増加することなく、次のように記憶容量の増加を達成することができる。ローカル・プローブ・アレイの各ローカル・プローブは、複数の記憶セクションに割り当て可能である。10個のそのような記憶プローブを有するローカル・プローブ・アレイの各ローカル・プローブに10個の記憶セクションが割り当てられていると仮定すると、最初の10個の記憶セクションは、これらの10個のプローブによって並列にアクセス可能である。これらの10個のセクションの1つか満杯にされる場合、次の10個の記憶セクションをアクセスするように、ローカル・プローブ・アレイ全体が動かされる。そのローカル・プローブ・アレイが現在作用していない記憶セクションに記憶された情報に対する読取アクセスは低速にされる。それは、それぞれの記憶セクションにローカル・プローブが到達する前に、ローカル・プローブ・アレイ全体を「より大きい」距離にわたって移動する必要があるためである。

産業上の利用可能性

本発明は、マルチプロセッサ環境において使用するに十分に適合する。そのよ

うな環境では、本発明の記憶装置は複数の自律サブ・アレイに区分可能である。そのような各サブ・アレイはそのマルチプロセッサ・システムの特定のプロセッサに割り当てられる。その記憶装置における他のサブ・アレイは、或計算の結果がすべてのプロセッサにとって利用可能

にされるように共用可能である。これらの共用サブ・アレイでは、アプリケーション・プログラムを記憶することも可能である。

本発明によれば、最小化されたローカル・プローブ・アレイの並列オペレーションによって、テラビットの範囲の記憶密度及び100ギガビット/秒のデータ速度を得ることができる。

【図1】

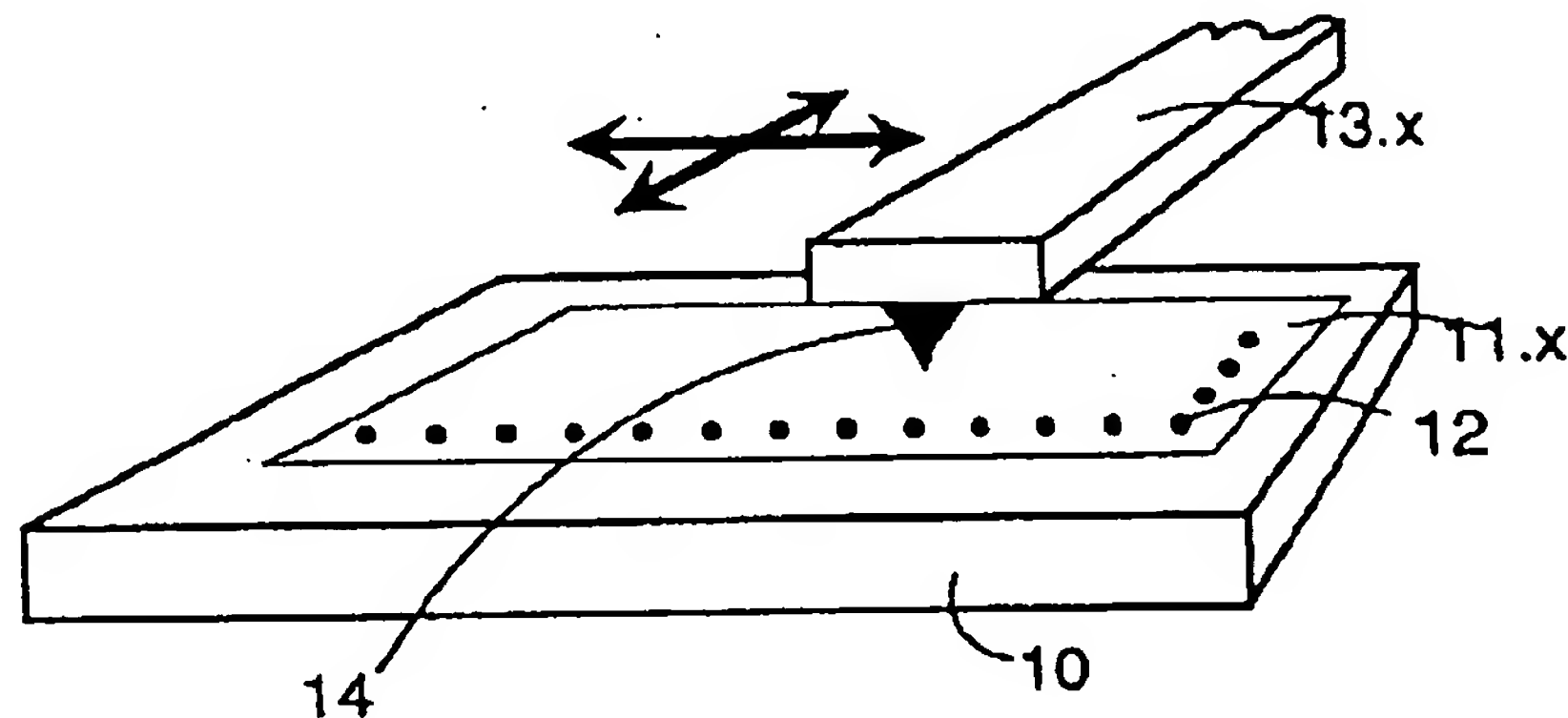


FIG. 1A

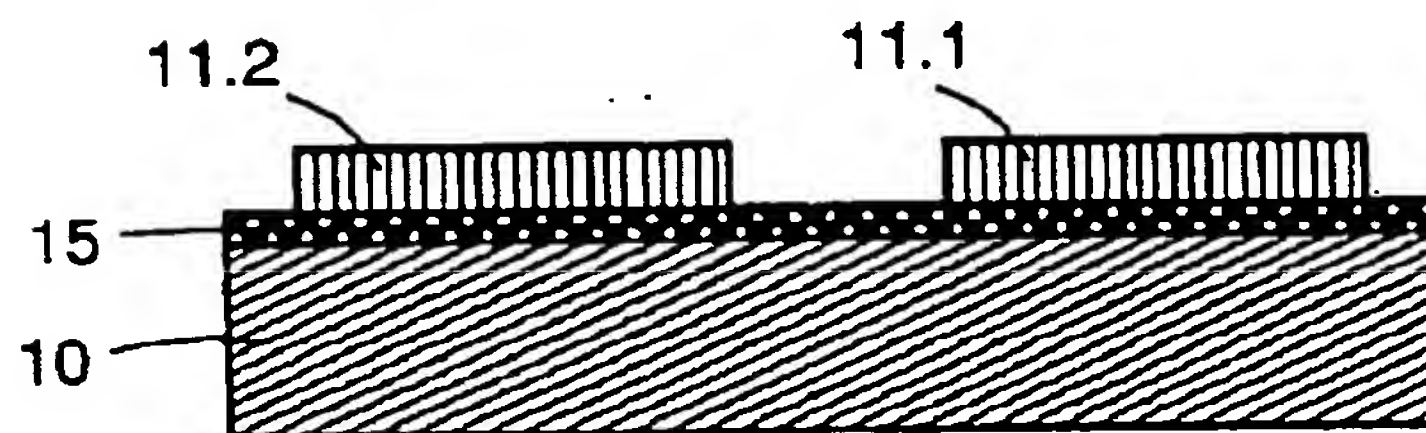
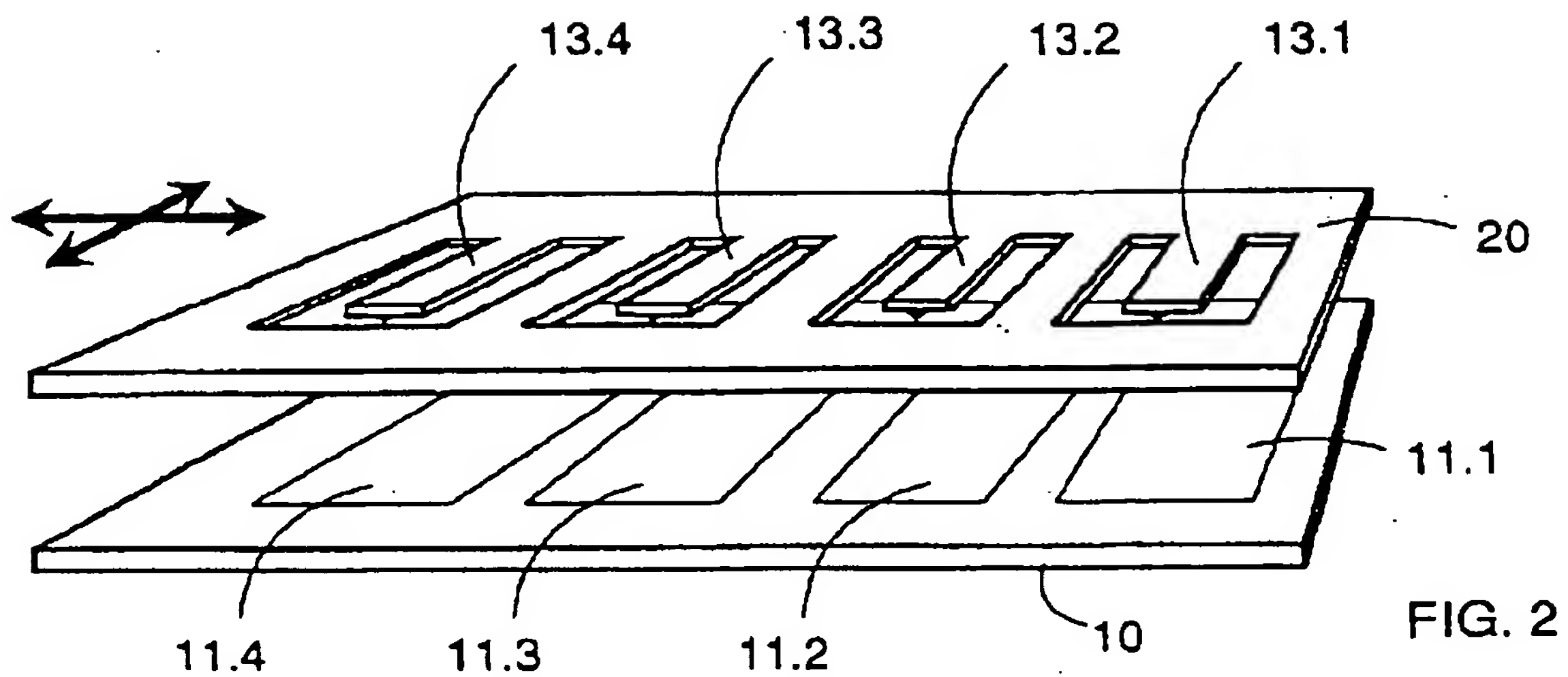
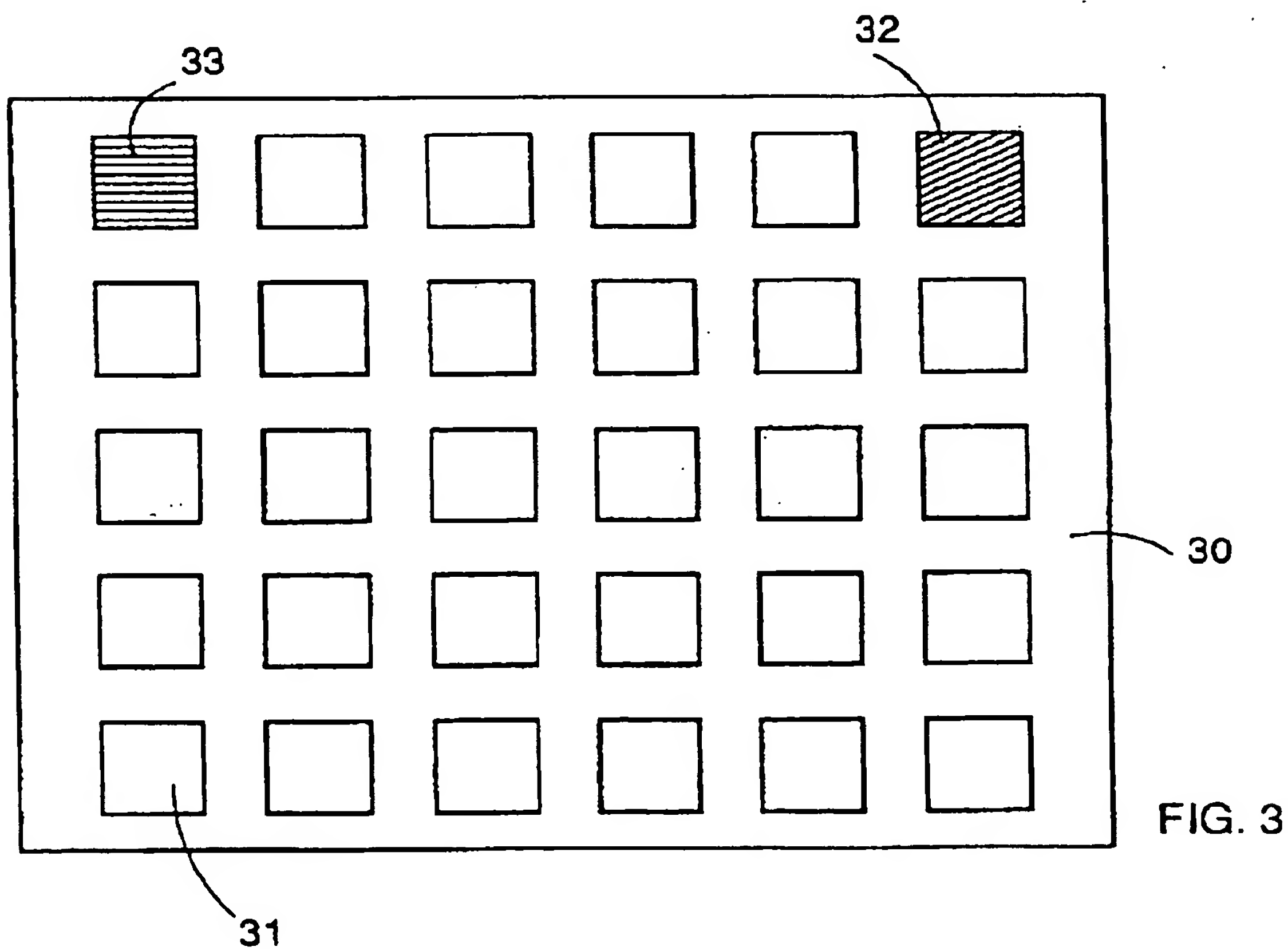


FIG. 1B

【図2】



【図3】



【図4】

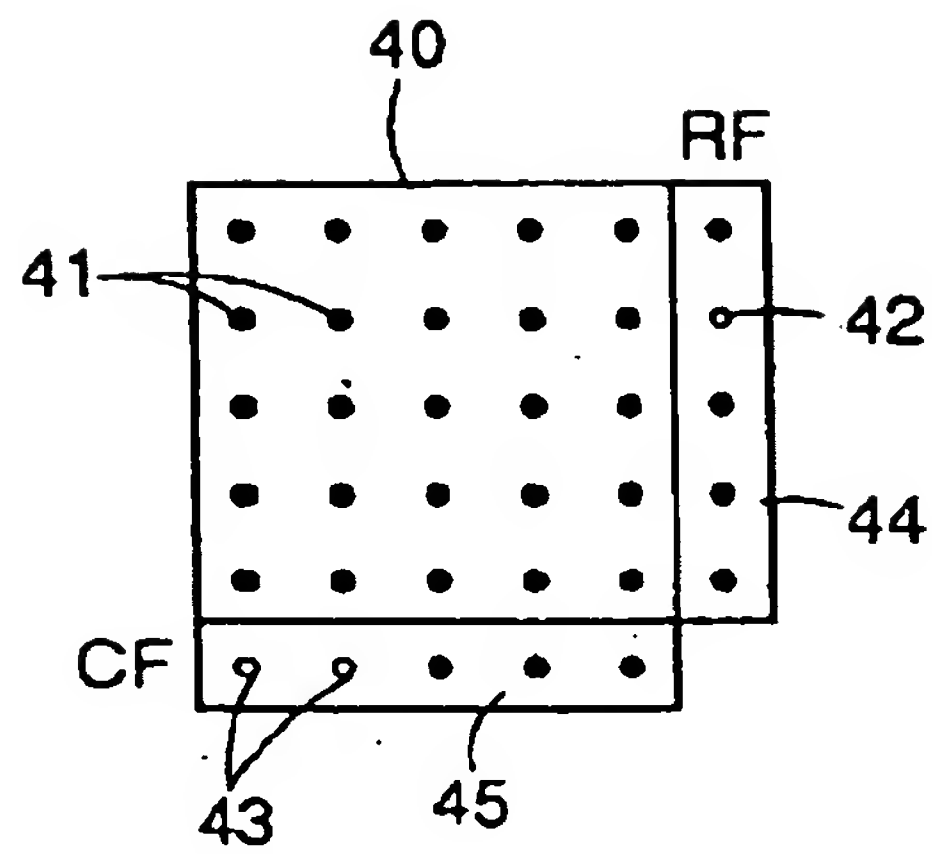


FIG. 4

【図5】

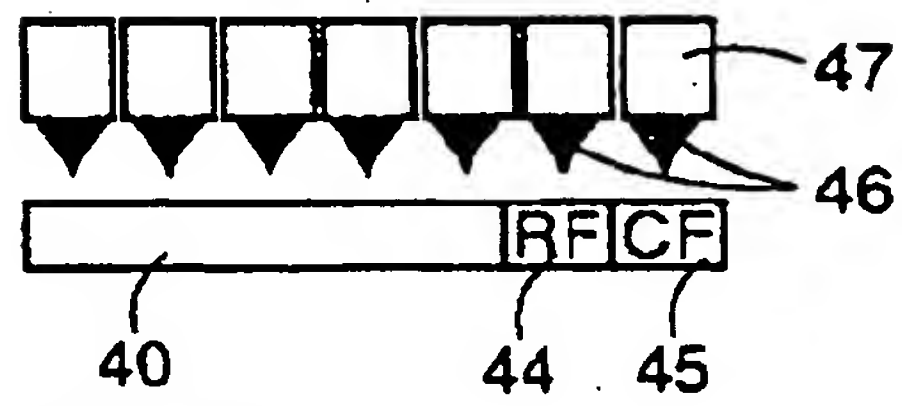


FIG. 5A

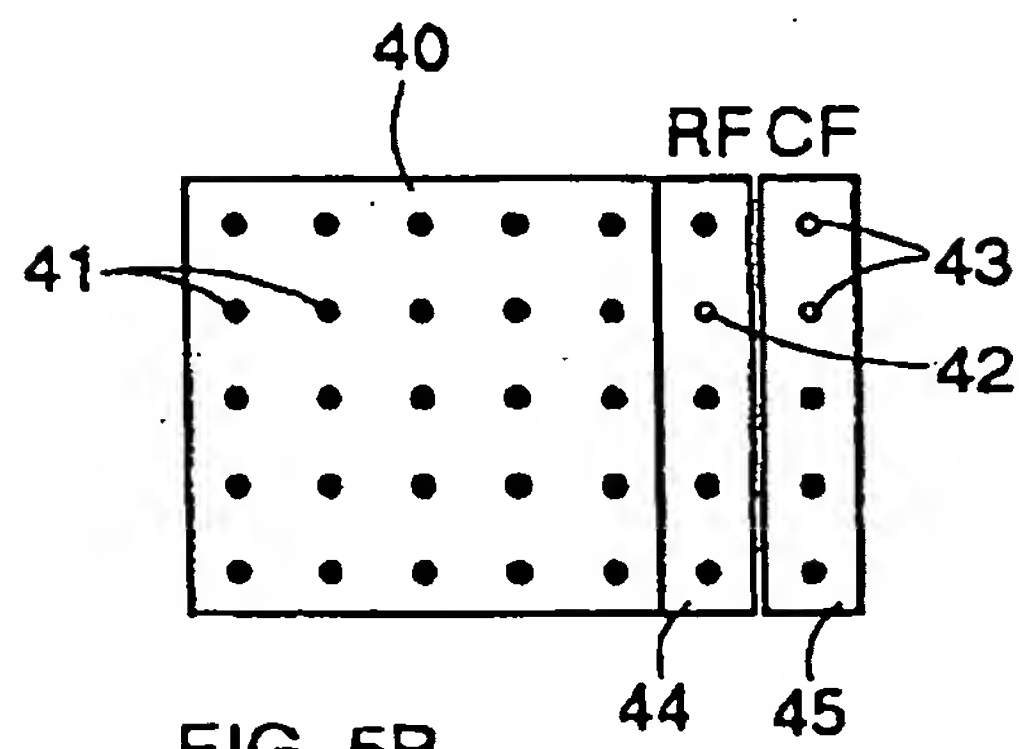


FIG. 5B

【図6】

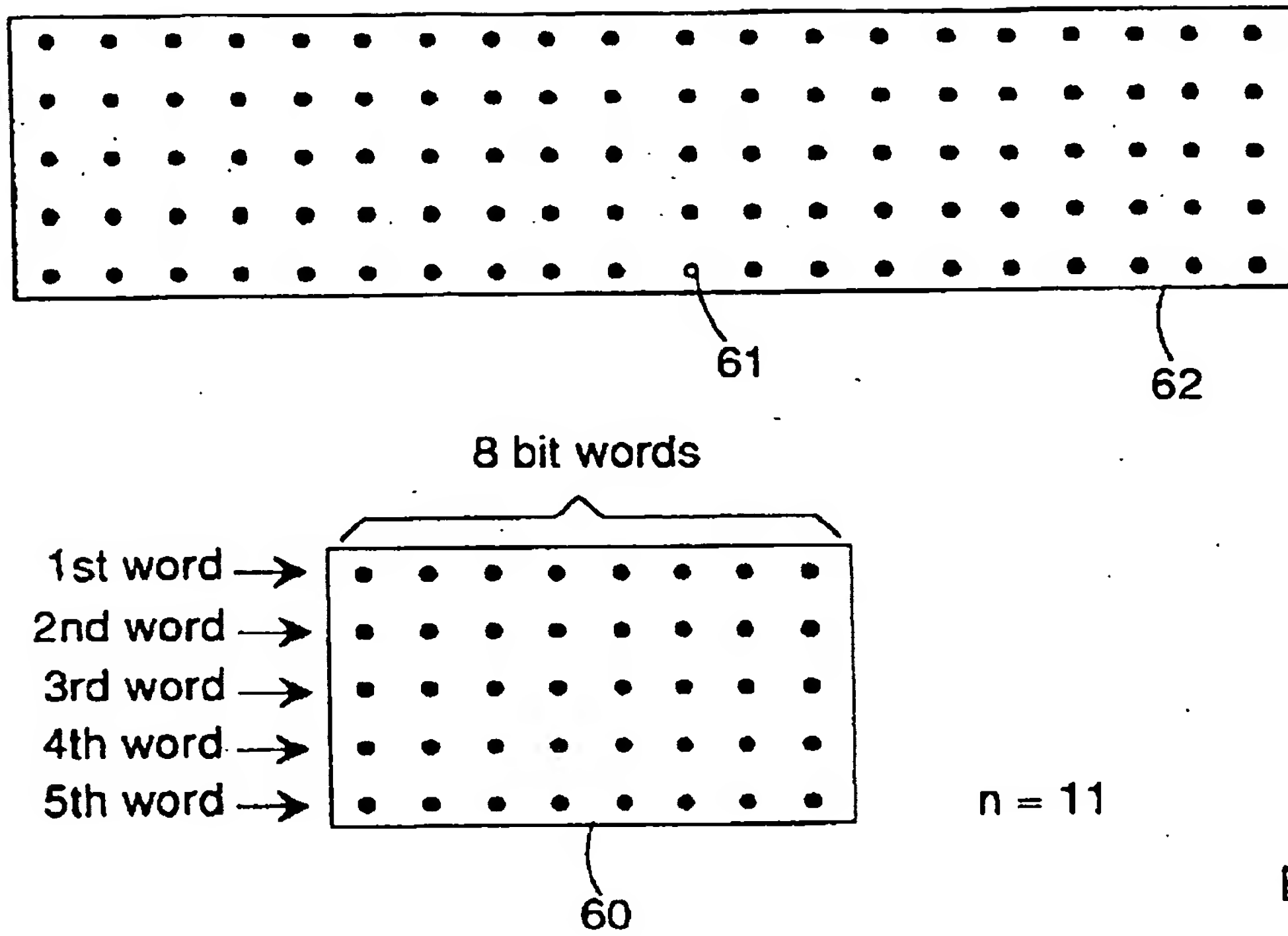


FIG. 6

【図7】

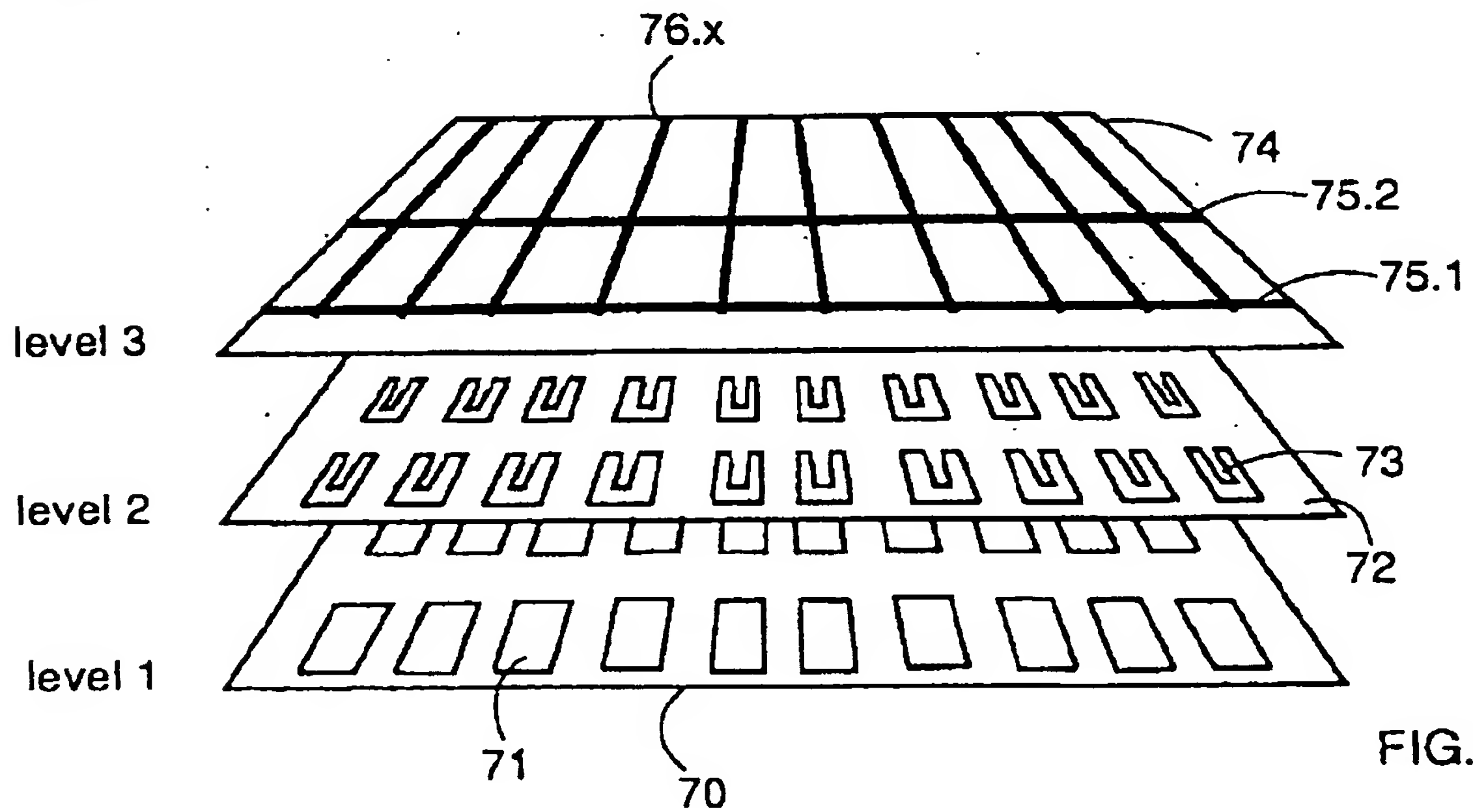


FIG. 7

【図8】

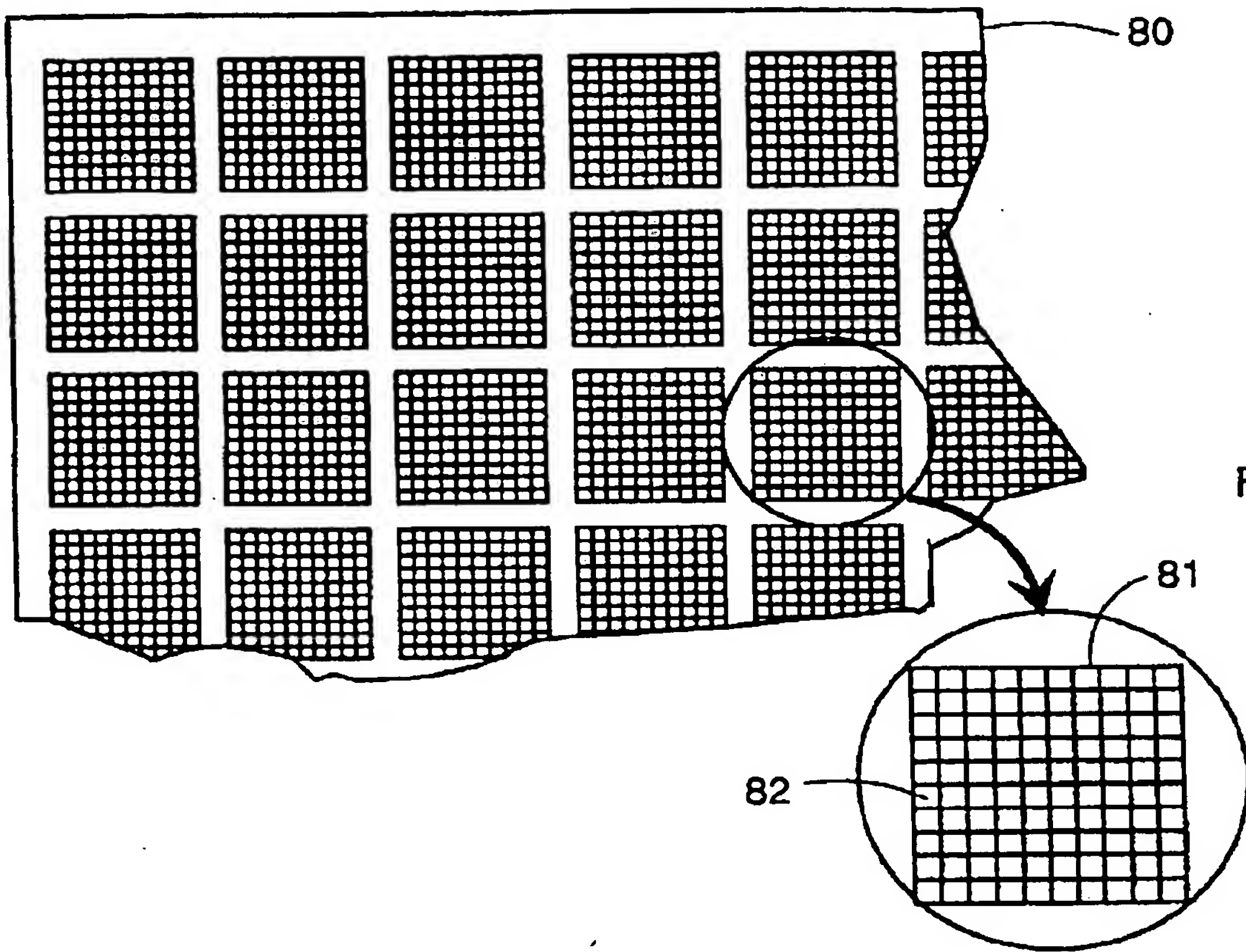


FIG. 8

【図9】

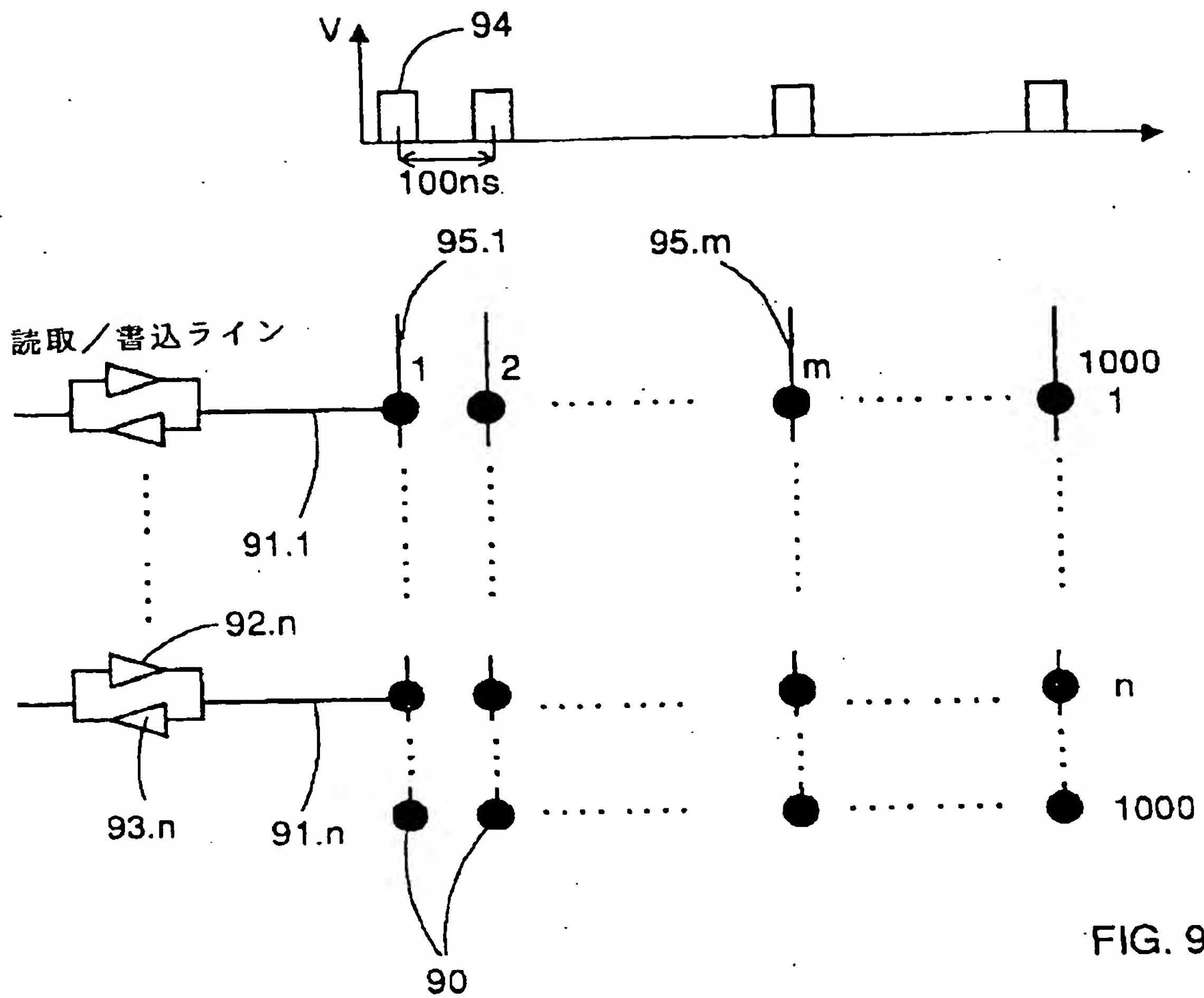


FIG. 9

【図10】

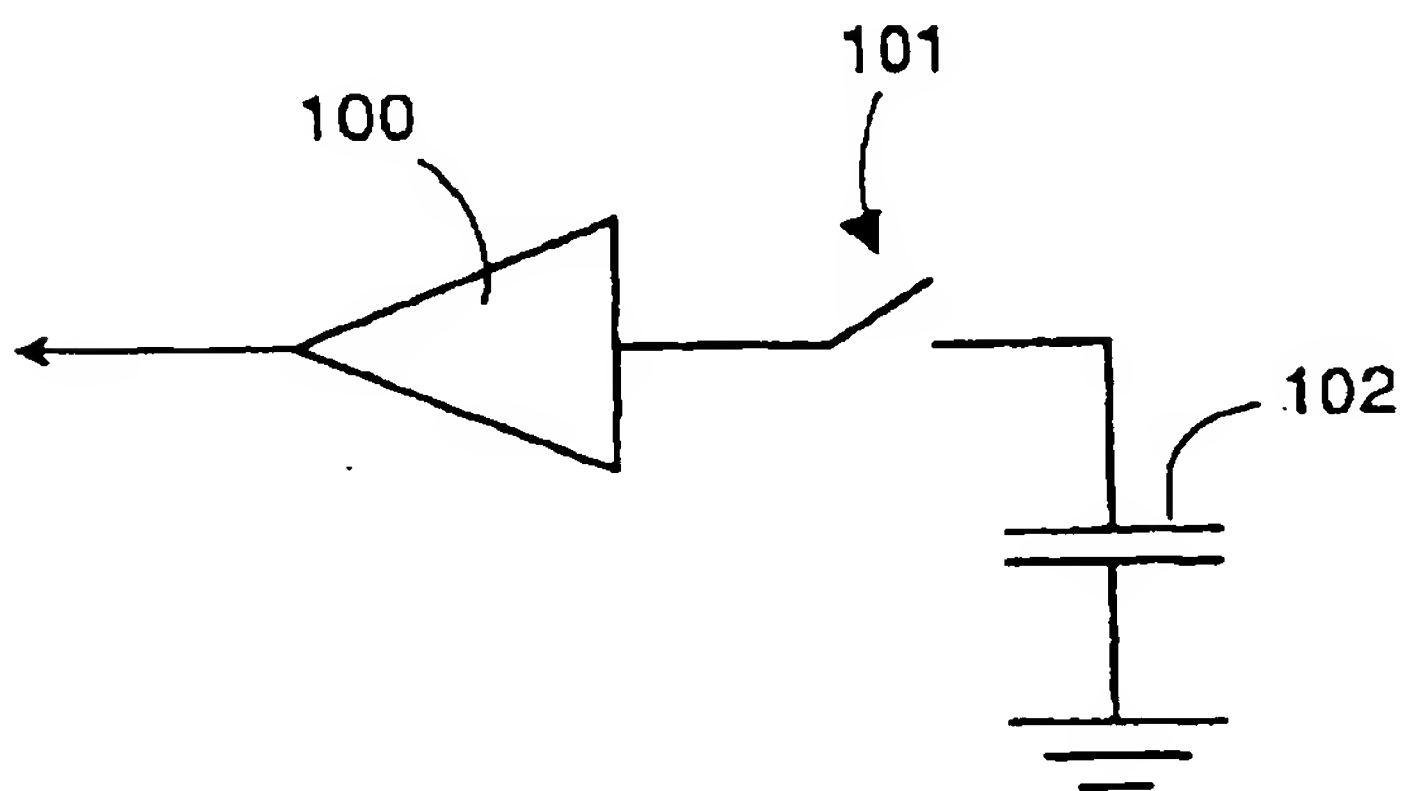


FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. Appl. No. PCT/IB 95/00594		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G11B9/00 G11B19/02 G11B19/04 G11B27/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 G11B G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US.A.5 036 490 (KAJIMURA HIROSHI ET AL) 30 July 1991 see column 2, line 66 - column 3, line 11 see column 4, line 50 - line 64 see column 5, line 33 - line 54 see column 6, line 13 - line 19 see column 6, line 46 - column 7, line 10 see column 7, line 25 - line 37 see column 7, line 60 - column 8, line 8; claims 10,11; figures 1,5,6,8-10 ---	1,27 4-6,17, 30
Y A	EP.A.0 600 511 (SONY CORP) 8 June 1994 see page 5, line 9 - page 6, line 37; figure 2 4 5 7A --- -/-	1,27 6,7,10, 28
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 March 1996		Date of mailing of the international search report - 9. 05. 96
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2140, Tlx. 31 631 epo nl, Fax (+31-70) 340-3016		Authorized officer Fux, J

INTERNATIONAL SEARCH REPORT

Int. Application No.

PCT/IB 95/00594

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US,A,5 216 631 (SLIWA, JR.) 1 June 1993</p> <p>see column 16, line 64 - line 67 see column 17, line 36 - line 47 see column 21, line 48 - column 22, line 3 see column 23, line 10 - column 24, line 1 see column 24, line 45 - column 25, line 20 see column 25, line 59 - column 26, line 62 see column 27, line 8 - line 28 see column 28, line 50 - line 66 see column 29, line 7 - line 15 see column 29, line 31 - line 41 see column 29, line 61 - column 30, line 18; figure 58</p> <p>---</p>	<p>1-7, 11-13, 16-19, 21-25,27</p>
A	<p>EP,A,0 307 210 (SEIKO INSTR INC) 15 March 1989</p> <p>see column 4, line 4 - line 23 see column 7, line 20 - line 50 see column 8, line 6 - line 25; figures 2,3,14,15,17</p> <p>---</p>	<p>1,4,11, 19,20,24</p>
A	<p>EP,A,0 382 062 (OLYMPUS OPTICAL CO) 16 August 1990</p> <p>see column 9, line 55 - column 11, line 15 see column 12, line 31 - column 13, line 32 see column 15, line 43 - column 18, line 23 see figures 7,8A,8B,13</p> <p>---</p>	<p>1,2,7,17</p>
A	<p>PATENT ABSTRACTS OF JAPAN vol. 015 no. 274 (P-1226), 11 July 1991 & JP,A,03 093059 (FUJI ELECTRIC CO LTD) 18 April 1991, see abstract</p> <p>---</p>	<p>27,28</p>
A	<p>DE,A,37 39 161 (GRUNDIG ENV) 1 June 1989</p> <p>see the whole document</p> <p>---</p>	<p>1,27,28, 30</p>
A	<p>PATENT ABSTRACTS OF JAPAN vol. 015 no. 295 (E-1894), 26 July 1991 & JP,A,03 104421 (HITACHI LTD;OTHERS: 02) 1 May 1991, see abstract</p> <p>---</p>	
A	<p>US,A,4 122 530 (SMITH DONALD O ET AL) 24 October 1978</p> <p>---</p> <p>--- -/--</p>	

INTERNATIONAL SEARCH REPORT

Int. Application No.

PCT/IB 95/00594

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US,A,4 064 558 (HUGHES WILLIAM C ET AL) 20 December 1977	
A	--- IBM TECHNICAL DISCLOSURE BULLETIN, vol. 37, no. 10, October 1994 ARMONK, N.Y., US, pages 223-226, XP 000565130 'Optimizing a Large Optical Library by a Genetic Algorithm' see the whole document	
A	--- IBM TECHNICAL DISCLOSURE BULLETIN, vol. 36, no. 8, August 1993 ARMONK, N.Y., US, pages 443-446, XP 000565131 'Method to Enhance Disk Reliability in Optical Libraries' see the whole document	
A	--- MODELING AND SIMULATION. VOL.14. PROCEEDINGS OF THE FOURTEENTH ANNUAL PITTSBURGH CONFERENCE, PITTSBURGH, PA, USA, 21-22 APRIL 1983, 1983, RESEARCH TRIANGLE PARK, NC, USA, ISA, USA, pages 241-245, BROCKUS C G 'Shortest path optimization using a genetics search technique'	
A	--- IJCNN '93-NAGOYA. PROCEEDINGS OF 1993 INTERNATIONAL JOINT CONFERENCE ON NEURAL NETWORKS (CAT. NO.93CH3353-0), PROCEEDINGS OF 1993 INTERNATIONAL CONFERENCE ON NEURAL NETWORKS (IJCNN-93-NAGOYA, JAPAN), NAGOYA, JAPAN, 25-29 OCT. 1993, ISBN 0-7803-1421-2, 1993, NEW YORK, NY, USA. IEEE, USA, pages 2967-2970 vol.3, XU H Y ET AL 'A fuzzy genetic algorithm with effective search and optimization' -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/IB 95/00594

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-5036490	38-07-91	JP-A- 2098896	11-04-90
		DE-A, C 3933160	12-04-90
		FR-A- 2637409	06-04-90
		NL-A- 8902475	01-05-90
EP-A-0600511	08-06-94	JP-A- 6176545	24-06-94
US-A-5216631	01-06-93	JP-A- 4289580	14-10-92
		US-A- 5307311	26-04-94
EP-A-0307210	15-03-89	JP-A- 1070943	16-03-89
		JP-A- 1088937	03-04-89
		JP-A- 1088938	03-04-89
		JP-A- 1096841	14-04-89
		US-A- 4945515	31-07-90
EP-A-0382062	16-08-90	JP-A- 2210634	22-08-90
		JP-A- 2214045	27-08-90
		US-A- 5144581	01-09-92
DE-A-3739161	01-06-89	NONE	
US-A-4122530	24-10-78	NONE	
US-A-4064558	20-12-77	NONE	

フロントページの続き

(72)発明者 ヴェッティガー、ペーター
 スイス国ランノー アム アルピス、ラン
 グモーシュトラーク 33

【要約の続き】

